

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-121875

(43)Date of publication of application : 23.04.2003

(51)Int.Cl.

G02F 1/1368
G02F 1/13
G02F 1/1345
G03F 1/08
G03F 7/20
G09F 9/00
G09F 9/30
H01L 21/027
H01L 29/786

(21)Application number : 2001-311846

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 09.10.2001

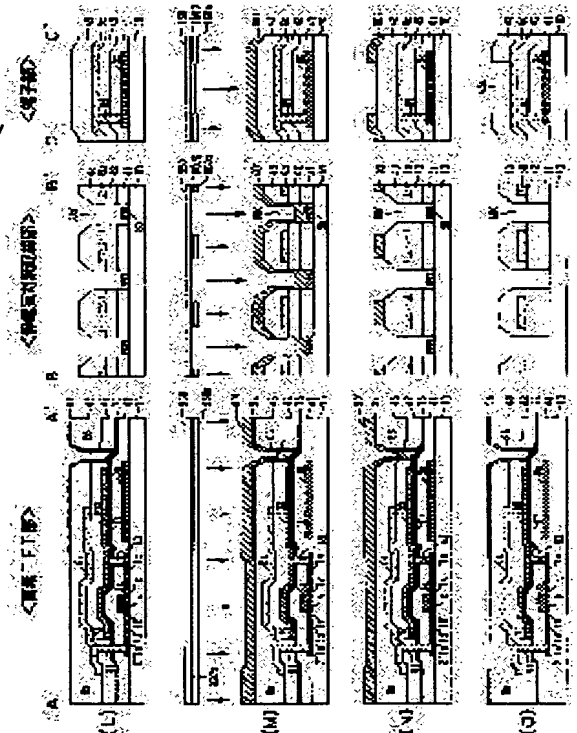
(72)Inventor : TAKAHARA KENICHI

(54) METHOD FOR MANUFACTURING ELEMENT SUBSTRATE DEVICE, METHOD FOR MANUFACTURING ELECTROOPTICAL DEVICE, AND RETICLE

(57)Abstract:

PROBLEM TO BE SOLVED: To effectively take a measure for static electricity caused by formation of wiring for a short circuit in manufacturing an element substrate apparatus, and to reliably carry out cutting.

SOLUTION: A reticle (950) having one light transmittance in a position opposite to a hole (880) for cutting formed in an interlayer dielectric (41 to 43) on the wiring for the short circuit (3b), and another light transmittance lower than above light transmittance in a position which is not opposite to the hole for the cutting is used for the cutting of the wiring for the short circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more thin film transistors connected to two or more pixel electrodes and these two or more pixel electrodes, The process which forms wiring for a short circuit which is the manufacture approach of component substrate equipment of manufacturing component substrate equipment equipped with wiring connected to said two or more thin film transistors, and connects between said wiring since these two or more pixel electrodes are driven, The process which forms an interlayer insulation film on said wiring for a short circuit, and the process which forms the hole for cutting to said interlayer insulation film on said wiring for a short circuit, The process which applies a resist on said interlayer insulation film and said wiring for a short circuit after forming said hole for cutting, While having other light transmittance lower than said light transmittance of 1 in the location which has the light transmittance of 1 in the location which counters said hole for cutting, and does not counter this hole for cutting The process which exposes said resist using the reticle which comes to form the light-shielding film of a predetermined pattern in the field except the location which counters said hole for cutting, The manufacture approach of the component substrate equipment characterized by including the process which cuts said wiring for a short circuit after removal of said resist using said hole for cutting.

[Claim 2] Said wiring is the manufacture approach of the component substrate equipment according to claim 1 characterized by including the scanning line.

[Claim 3] Said wiring is the manufacture approach of the component substrate equipment according to claim 1 or 2 characterized by including the data line.

[Claim 4] Said wiring is the manufacture approach of the component substrate equipment according to claim 2 or 3 characterized by including the signal wiring which supplies the signal for driving at least one side of the data-line drive circuit connected to the scanning-line drive circuit connected to said scanning line, or said data line.

[Claim 5] The component substrate equipment concerned is what is formed by dividing this mother substrate along with a cutting plane line while two or more formation is carried out on a mother substrate. The process which forms wiring for the short circuit between substrate equipment electrically connected with said wiring for a short circuit along with said cutting plane line on said mother substrate, The manufacture approach of component substrate equipment given in claim 1 characterized by including further the process which divides said wiring for the short circuit between substrate equipment between the component substrate equipment concerned by carrying out fragmentation which met said cutting plane line thru/or any 1 term of 4.

[Claim 6] The manufacture approach of component substrate equipment given in claim 1 characterized by including further the process which forms storage capacitance on said interlayer insulation film in front of the process which forms said hole for cutting after the process which forms said interlayer insulation film, and the process which forms other interlayer insulation films on this storage capacitance thru/or any 1 term of 5.

[Claim 7] said reticle -- setting -- said -- others -- the manufacture approach of component substrate equipment given in claim 1 characterized by forming the thin film in the part which has light

transmittance thru/or any 1 term of 6.

[Claim 8] Said thin film is the manufacture approach of the component substrate equipment according to claim 7 characterized by being formed on said light-shielding film on said reticle.

[Claim 9] Said some of thin films [at least] are the manufacture approaches of the component substrate equipment according to claim 7 or 8 characterized by having the same refractive index as said reticle.

[Claim 10] Said some of thin films [at least] are the manufacture approaches of component substrate equipment given in claim 7 characterized by having the laminated structure constituted with two or more ingredients which are different from each other thru/or any 1 term of 9.

[Claim 11] It is the manufacture approach of component substrate equipment given in claim 1 which replace with said pixel electrode, have a stripe-like electrode, and it comes to carry out direct continuation of said wiring to said stripe-like electrode, and is characterized by coming to have the drive circuit section containing other thin film transistors for connecting with said wiring and driving said stripe-like electrode further thru/or any 1 term of 10.

[Claim 12] The manufacture approach of the electro-optic device characterized by including the process which manufactures the component substrate equipment concerned by the manufacture approach of the component substrate equipment a publication in claim 1 thru/or any 1 term of 11, the process which carries out phase adhesion of the opposite substrate so that this component substrate equipment may be countered, and the process which encloses electrooptic material between said component substrate equipment and said opposite substrate.

[Claim 13] While being the reticle used in a semi-conductor process and having the light transmittance of 1 in the part of at least 1 other parts -- setting -- other larger light transmittance than said light transmittance of 1 -- having -- said -- others -- the reticle characterized by forming the light-shielding film of a predetermined pattern in a part of part [at least], and not forming said light-shielding film in said a part of part [at least] of 1.

[Claim 14] The reticle according to claim 13 characterized by forming the thin film in the part which has permeability besides the above.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention belongs to the technical field of the manufacture approach of component substrate equipments, such as active-matrix substrate equipment, that two or more circuit elements, wiring, etc. are formed on it, and the manufacture approach of the electro-optic device using this component substrate equipment, and the technical field of the reticle used for a general semi-

conductor process at a list.

[0002]

[Background of the Invention] The thin film transistor connected to each of the pixel electrode arranged in the shape of a matrix, and this electrode (suitably below Thin Film Transistor;) it is called "TFT."

While having the data line formed in parallel with the scanning line and the direction of a train (again limping gait) which were connected to this each of TFT and established in parallel with the direction of a line (or train) The electro-optic device in which the so-called active-matrix drive is possible is known by performing a drive according [the drive by the scanning-line drive circuit] to a data-line drive circuit to said data line to said scanning line, respectively. Wiring of the above-mentioned scanning line or the data line etc. which connects between other circuit elements or these circuit elements, such as above-mentioned TFT in such an electro-optic device, applies a semi-conductor process, and is formed.

[0003] By the way, insulating ingredients, such as glass, may be used for such an electro-optic device and the substrate in which it divides, for example, the circuit element of others, such as above-mentioned TFT, etc. is carried in liquid crystal equipment etc. On the other hand, as the above-mentioned semi-conductor process, a sputtering process, a dry etching process, etc. can be considered, for example. Since it will set at a sputtering process and "electrification" particle will collide and deposit on an "insulating" substrate from these things, for example, static electricity may be accumulated in this substrate. Thus, if static electricity is accumulated, possibility of carrying out the electrostatic discharge of the circuit element of others, such as the fault which considered this as the reason, for example, above-mentioned TFT etc., will become high.

[0004] So, in the former, forming wiring for a short circuit which makes the process which forms said scanning line or said data line serve a double purpose, and is electrically connected to each scanning line or the data line is performed. If this wiring for a short circuit is formed, since the charge and static electricity which were accumulated in the front face of an insulating substrate will be diffused in a substrate periphery side through this wiring for a short circuit, it is lost that a suddenly superfluous current flows of them to the circuit element of others, such as TFT, etc. through the scanning line or the data line, and they can prevent electrostatic discharges, such as this circuit element, beforehand.

[0005] Wiring for a short circuit mentioned above however, before completion of the production process of an electro-optic device Since it is necessary to cut in order to carry out normal actuation of the electro-optic device concerned, an applicant for this patent The intermediate process was made to serve a double purpose, the hole for cutting was formed after wiring for a short circuit, the predetermined location of wiring for a short circuit was cut through these holes for cutting, and the approach of performing separation with wiring for a short circuit, the scanning line, or the data line is proposed (refer to JP,8-14667,B).

[0006] Moreover, the applicant for this patent has proposed applying the technique coping with static electricity like abbreviation also to a data-line drive circuit, a scanning-line drive circuit, etc. which were mentioned above by forming and cutting wiring for a short circuit (refer to JP,11-95257,B).

[0007]

[Problem(s) to be Solved by the Invention] However, there were the following problems in formation and cutting of above-mentioned wiring for a short circuit. That is, the inclination to take the structure laminated in the direction of a vertical to the substrate has various circuit elements, wiring, etc. which constitute this electro-optic device in order to meet a general request called highly-minute-izing and detailed-izing, and achievement of a high numerical aperture of an electro-optic device in recent years through various interlayer insulation films etc., consequently, so to speak, "upper-layers-ization" of these various circuit elements, the wiring, etc. is carried out. That is, compared with old, the "height" of an electro-optic device is large. And if such upper-layers-ization progresses, the trouble in formation and cutting of wiring for a short circuit mentioned above that a cutting process cannot carry out with the sufficient result will arise.

[0008] For example, formation of wiring for a short circuit by the combination with a scanning-line

formation process must be performed on the assumption that the various interlayer insulation films of the production process of an electro-optic device with which "upper-layers-ization" of this cutting was carried out since, as for cutting of wiring for a short circuit, the thing of the process concerned comparatively performed in the latter part was assumed by being comparatively carried out to the first rank. If it considers carrying out this cutting using the photolithography method further here, while forming the above-mentioned hole for cutting to the various interlayer insulation films upper-layers-ized first Although it will etch after applying a resist to the pars basilaris ossis occipitalis of this hole, the interlayer insulation film of the maximum upper layer, etc. and carrying out exposure and development Since the depth becomes large, it becomes impossible as mentioned above, to carry out effectively exposure to the resist which exists in the pars basilaris ossis occipitalis of this hole, if said hole for cutting is formed in the upper-layers-ized interlayer insulation film. Therefore, the resist in the pars basilaris ossis occipitalis of this hole will remain, consequently the fault that wiring for a short circuit cannot fully be cut produces it.

[0009] In order to cope with this, enlarging light exposure to a resist is also considered. That is, it enables it to fully expose the resist in this pars basilaris ossis occipitalis by enlarging light exposure, so that light may fully reach even the pars basilaris ossis occipitalis of the hole for cutting. However, by such technique, for the resist which exists on an interlayer insulation film etc., it becomes the light exposure over which it passed, and problems, such as halation, may arise. "Halation" means that the exposed light carries out reflection etc. in the direction of [besides an assumption] on front faces, such as for example, a metal layer, here. If such halation arises, a result which the problem of it becoming impossible to perform control of the opening dimension of a slot etc. correctly newly produces will be brought by originally exposing even the part which should be exposed and which does not come out.

[0010] This invention is made in view of the above-mentioned trouble, and it makes it a technical problem to provide with a reticle the manufacture approach of component substrate equipment that the cutting can be carried out certainly, the manufacture approach of an electro-optic device, and a list while it is possible to implement effectively the cure against static electricity by forming wiring for a short circuit.

[0011]

[Means for Solving the Problem] In order that the manufacture approach of the component substrate equipment of this invention may solve the above-mentioned technical problem, two or more pixel electrodes, It is the manufacture approach of component substrate equipment of manufacturing component substrate equipment equipped with two or more thin film transistors connected to each of two or more of these pixel electrodes, and wiring connected to said two or more thin film transistors since these two or more pixel electrodes were driven. The process which forms wiring for a short circuit which connects between said wiring, and the process which forms an interlayer insulation film on said wiring for a short circuit, The process which forms the hole for cutting to said interlayer insulation film on said wiring for a short circuit, The process which applies a resist on said interlayer insulation film and said wiring for a short circuit after forming said hole for cutting, While having other light transmittance lower than said light transmittance of 1 in the location which has the light transmittance of 1 in the location which counters said hole for cutting, and does not counter this hole for cutting The process which exposes said resist, and the process which cuts said wiring for a short circuit after removal of said resist using said hole for cutting are included using the reticle which comes to form the thin film of a predetermined pattern in the field except the location which counters said hole for cutting.

[0012] According to the manufacture approach of the component substrate equipment of this invention, first, since a pixel electrode is driven, wiring for a short circuit which connects between wiring connected to the thin film transistor connected to this is formed. The scanning line or the data line specifically [wiring] corresponds here. Even if static electricity may occur, by existence of this wiring for a short circuit, in subsequent manufacture processes this static electricity It becomes possible to

diffuse this through wiring and this wiring for a short circuit. Or since the potential difference will hardly be produced again between the gate and the source which were connected with mutual [in a thin film transistor] too hastily, and a drain even if it carries out potential fluctuation according to generating of static electricity at wiring for a short circuit, For example, the circuit element on the substrate which begins an above-mentioned thin film transistor, in addition is formed if needed becomes possible [preventing beforehand] about carrying out an electrostatic discharge.

[0013] Next, an interlayer insulation film is formed on this wiring for a short circuit. With this interlayer insulation film, for example, the semi-conductor layer which constitutes a thin film transistor, The scanning line containing the gate electrode which similarly constitutes a thin film transistor, the data line connected to this thin film transistor, Or while becoming possible not to produce a short circuit between [, such as an electrode which constitutes the storage capacitance connected to this thin film transistor / various / in which the laminating also of any is carried out and they are formed on a substrate] components It becomes possible to, carry out "upper-layers-ization" of the various components mentioned above in the direction of a vertical so to speak to a substrate side. That is, according to this invention, it becomes possible to correspond to detailed-izing and highly minute-ization of an electro-optic device.

[0014] And next, on said wiring for a short circuit, and after forming the hole for cutting to the interlayer insulation film described now, a resist is applied on said interlayer insulation film and said wiring for a short circuit. It cannot be overemphasized that spreading of the resist to the wiring top for a short circuit is performed here using said hole for cutting. Therefore, spreading of the resist concerning this invention will be performed to each field which has a difference in the height direction like a pars basilaris ossis occipitalis of hole for cutting, i.e., wiring for short circuit, and interlayer insulation film top. Since upper-layers-izing is especially possible in this invention as mentioned above, generally, the depth of the hole for cutting is large, therefore it is assumed that the above "each field which has a difference in the height direction" serves as each field which kept considerable extent distance.

[0015] Especially, in the location which counters the hole for cutting in this invention, it has the light transmittance of 1, and said resist is exposed here using the reticle which has other light transmittance lower than said light transmittance of 1 in the location which does not counter this hole for cutting. That is, if such a reticle is used, even if it uses the one exposure light source used as the same reinforcement, the light exposure in the location which does not exist this hole will become small greatly [the light exposure in the location which exists the hole for cutting] (if it is why, since exposure light penetrates the part which has other light transmittance lower than the light transmittance of 1). (if it is why, since exposure light penetrates the part which has the light transmittance of 1) Therefore, while raising possibility that sufficient exposure will be performed, to the pars basilaris ossis occipitalis of the hole for cutting, i.e., the resist on wiring for a short circuit, according to this invention, to the resist which exists on an interlayer insulation film, excessive exposure is not performed but it becomes possible to reduce possibility of generating [halation]. Therefore, according to this invention, the resist in the pars basilaris ossis occipitalis of the hole for cutting can be removed certainly, consequently cutting of wiring for a short circuit can also be carried out certainly.

[0016] And it comes to form the light-shielding film of a predetermined pattern in the reticle concerning this invention again in the field except the location which counters said hole for cutting. This means that advance of exposure light is interrupted nearly completely by existence of this light-shielding film, and if it says from another viewpoint, i.e., the viewpoint of the part where this light-shielding film exists, and the part not existing, otherwise, it will not be that the reticle concerning this invention means that the usual patterning may be carried out. In other words, generally by the part by which the light-shielding film of a predetermined pattern exists, the gestalt which has light transmittance still lower than light transmittance besides the above will be assumed.

[0017] In short, according to this invention, wiring for a short circuit is received. The exposure in the usual patterning while powerful exposure is performed and the residual of the resist in the pars basilaris

ossis occipitalis of the hole for cutting can be reduced, i.e., exposure light interrupted by the light-shielding film, In the exposure light which penetrates the part which a light-shielding film does not exist and has other light transmittance, by stopping the latter light exposure moderately, antihalation etc. can be realized, consequently highly precise patterning can be performed.

[0018] In addition, the concrete value of the light transmittance of 1 mentioned above and other light transmittance may change suitably according to concrete situations, such as engine performance of steppers exposed in addition to this using the reticle concerned, such as a property of the resist which the thickness of the above-mentioned interlayer insulation film is how much, or the difference of the height of the pars basilaris ossis occipitalis of the hole for cutting and the interlayer insulation film top concerned is how much, or is applied, and a property of the exposure light source.

[0019] However, if a difference is among such light transmittance somewhat, it will become possible to decrease light exposure relatively to the resist which exists on an interlayer insulation film, making light exposure increase relatively to the resist of the pars basilaris ossis occipitalis of the hole for cutting.

[0020] In one mode of the component substrate equipment of this invention, said wiring contains the scanning line.

[0021] According to this mode, since wiring contains the scanning line, that wiring for a short circuit connects electrically will contain this scanning line at least. Therefore, according to this mode, it becomes possible to prevent beforehand about a thin film transistor carrying out the electrostatic discharge of the scanning line with static electricity which led.

[0022] In other modes of the component substrate equipment of this invention, said wiring contains the data line.

[0023] According to this mode, since wiring contains the data line, that wiring for a short circuit connects electrically will contain this data line at least. Therefore, according to this mode, it becomes possible to prevent beforehand about a thin film transistor carrying out the electrostatic discharge of the data line with static electricity which led.

[0024] such voice in which said wiring contains the scanning line or the data line — if it is like, especially said wiring is in addition good to make it include the signal wiring which supplies the signal for driving at least one side of the data-line drive circuit connected to the scanning-line drive circuit connected to said scanning line, or said data line.

[0025] According to such a configuration, the signal wiring which supplies the signal for driving the scanning-line drive circuit or data-line drive circuit which generally contains the circuit element of a thin film transistor and others, such as a CMOS mold, for example will be electrically connected by wiring for a short circuit. Therefore, according to this mode, also in this scanning-line drive circuit, this data-line drive circuit, etc., possibility of generating faults, such as an electrostatic discharge, can be reduced and more reliable component substrate equipment can be manufactured.

[0026] In other modes of the manufacture approach of the component substrate equipment of this invention The component substrate equipment concerned is what is formed by dividing this mother substrate along with a cutting plane line while two or more formation is carried out on a mother substrate. The process which forms wiring for the short circuit between substrate equipment electrically connected with said wiring for a short circuit along with said cutting plane line on said mother substrate, and the process which divides said wiring for the short circuit between substrate equipment between the component substrate equipment concerned by carrying out fragmentation which met said cutting plane line are included further.

[0027] According to this mode, wiring for the short circuit between substrate equipment to which the component substrate equipment concerned was electrically connected with said wiring for a short circuit where two or more formation is carried out is formed on a mother substrate. For this reason, while each component substrate equipment will be short-circuited on a mother substrate, respectively, static electricity generated on the substrate results to wiring for the short circuit between substrate equipment through wiring or wiring for a short circuit of the scanning line, the data line, signal wiring, etc.,

and it is made for this static electricity to be diffused to the periphery of a substrate. Therefore, according to this mode, it will increase also to **** and a possibility of producing an electrostatic discharge will be reduced in the various circuit elements which constitute this equipment.

[0028] And in this mode, when it has implementation of the fragmentation which met the cutting plane line and fragmentation between the component substrate equipment concerned of said wiring for the short circuit between substrate equipment is realized, each component substrate equipment is formed. Therefore, the actuation in each electro-optic device manufactured after that is not blocked by wiring for the short circuit between substrate equipment.

[0029] In other modes of the manufacture approach of the component substrate equipment of this invention, the process which forms storage capacitance on said interlayer insulation film in front of the process which forms said hole for cutting, and the process which forms other interlayer insulation films on this storage capacitance are further included after the process which forms said interlayer insulation film.

[0030] According to this mode, since others, storage capacitance, and other interlayer insulation films are separately formed on wiring for a short circuit, the depth of the hole for cutting will become larger. [interlayer insulation film / said] Therefore, while it is possible to perform sufficient exposure to the resist on wiring for a short circuit according to this mode, it becomes possible to enjoy more notably the effectiveness concerning this invention of not performing excessive exposure, to the resist which exists on other interlayer insulation films.

[0031] The thin film is formed in the part which has light transmittance besides the above in said reticle in other modes of the manufacture approach of the component substrate equipment of this invention.

[0032] this voice -- if it depends like, it has light absorption nature or a thin film with light reflex nature can set to a reticle, for example -- said -- others -- since it is formed in the part (namely, location which does not counter the hole for cutting) which has light transmittance, it becomes possible to manufacture comparatively easily the part which has other light transmittance lower than said light transmittance of 1 thru/or to make it appear.

[0033] In addition, as the quality of the material of a thin film, it is possible to, hit ITO (Indium Tin Oxide), SiNx (silicon nitride), etc. for example.

[0034] In especially the mode that forms a thin film in the part which has other transmission, said thin film is good to make it formed on said light-shielding film on said reticle.

[0035] It is not necessary to consider special about formation of a thin film (for example [that is,], a light-shielding film formation location is avoided and a thin film is formed), and, according to this configuration, it becomes possible to manufacture the reticle concerning this invention easily.

[0036] In addition, it is also possible to adopt the configuration which forms a thin film on a reticle and forms a light-shielding film on it.

[0037] It is good to make it said some of especially thin films [at least] have the same refractive index as said reticle with the mode which forms a thin film in an above-mentioned reticle, or the configuration which forms a thin film on a light-shielding film.

[0038] According to such a configuration, when a thin film has the same refractive index as a reticle, what takes an optical path different, for example of the light which penetrates each of the part which has the light transmittance of 1, and the part which has other light transmittance is lost. That is, by the thin film concerned and the reticle body, the same optical path will be taken and light will advance. therefore, a thing [a thing] exposure is carried out to the part besides a request -- there is nothing -- precision -- it becomes possible to manufacture component substrate equipment highly.

[0039] In addition, as an ingredient which satisfies the requirements for this configuration, SiO₂ grade can be mentioned, for example.

[0040] Moreover, in this configuration, "some thin films [at least]" means at least the part on the whole surface of the thin film formed in the part which has light transmittance besides the above. That is, in the field of 1 in the part which more specifically has other light transmittance, it is possible to

assume the gestalt of ** in which a thin film with the same refractive index is formed in, and the thin film which is not so is formed in other fields. Anyway, even if it is such a gestalt etc., there is no change in being within the limits of this invention.

[0041] Furthermore, both the refractive indexes of a reticle and a thin film of the "same refractive index" said to this invention are completely the same, and also it says that both refractive indexes are the same to extent used as the practical hindrance of the process at which the light reflex resulting from the difference of both refractive indexes exposes the resist in the manufacture approach concerned, and the extent is determined as it depending on the specification and manufacture conditions of a manufacturing installation. And what is necessary is just to define this same extent individually concretely according to experimental, experiential, theoretical, or the manufacturing installation and manufacture conditions actually used by simulation.

[0042] Moreover, it is good to make it said some of thin films [at least] have the laminated structure constituted with two or more ingredients which are different from each other with the mode which forms a thin film in an above-mentioned reticle, the configuration which forms a thin film on a light-shielding film, or especially a configuration these some of whose thin films [at least] have the same refractive index as a reticle.

[0043] According to such a configuration, by having the laminated structure constituted with two or more ingredients with which a thin film is different from each other, it becomes possible to set up the light transmittance on a reticle more finely, and ** to operation of an exact exposure process. For example, if the case where the monolayer structure which is not a laminated structure is taken is assumed in an above-mentioned laminated structure and other parts in the part of 1 of this thin film, according to this configuration the weakest exposure by the part concerned of 1 carries out -- having -- being concerned -- others -- it becomes possible to consider as ** to which exposure middle by the part is performed and strongest exposure by the part which has said light transmittance of 1, i.e., the part in which the thin film is not formed, is performed. Of course, also when making a thin film into the laminated structure of three or more layers, naturally it is contained within the limits of this invention.

[0044] In addition, "a part of [at least]" meaning concerning this configuration is the same as that of ****.

[0045] Moreover, the part which has other light transmittance consists of the same as that of the part which has the light transmittance of 1, or different film, and may be formed thickly.

[0046] It replaces with said pixel electrode and has a stripe-like electrode, and it comes to carry out direct continuation of said wiring to said stripe-like electrode, it is connected to said wiring, and it comes to have the drive circuit section containing other thin film transistors for driving said stripe-like electrode in other modes of the manufacture approach of the substrate equipment of this invention further.

[0047] According to this mode, it becomes possible to prevent that electrostatic discharge for example, about other thin film transistors contained in the drive circuit section for driving a stripe-like electrode in the component substrate equipment in which the so-called passive matrix drive is possible.

[0048] The manufacture approach of the electrooptic material of this invention includes the process which manufactures the component substrate equipment concerned by the manufacture approach (however, various modes are included.) of the component substrate equipment mentioned above, the process which carries out phase adhesion of the opposite substrate so that this component substrate equipment may be countered, and the process which enclose electrooptic material between said component substrate equipment and said opposite substrate in order to solve the above-mentioned technical problem.

[0049] According to the manufacture approach of the electrooptic material of this invention, the proper electro-optic device which does not contain the thin film transistor which carried out the electrostatic discharge can be manufactured.

[0050] In order that the reticle of this invention may solve the above-mentioned technical problem,

while being the reticle used in a semi-conductor process and having the light transmittance of 1 in the part of at least 1. In other parts, it has other larger light transmittance than said light transmittance of 1, the light-shielding film of a predetermined pattern is formed in a part of part [at least] besides the above, and said light-shielding film is not formed in said a part of part [at least] of 1.

[0051] According to the reticle of this invention, in the manufacture approach of the component substrate equipment of this invention, or the manufacture approach of the electro-optic device of this invention, it becomes possible to use suitably a passage clear also from having mentioned above.

[0052] In addition, it can be considered the "semi-conductor process" said to this invention bearing for example, a photolithography technique in mind.

[0053] The thin film is formed in the part which has permeability besides the above in one mode of the reticle of this invention.

[0054] It becomes possible to manufacture comparatively easily the part which has other light transmittance with it, for example according to this mode thru/or to make it appear. [lower than said light transmittance of 1 since the thin film which has light absorption nature or has light reflex nature is formed in the part which has the light transmittance besides the above in a reticle]

[0055] Such an operation and other gains of this invention are made clear from the gestalt of the operation explained below.

[0056]

[Embodiment of the Invention] Below, it explains, referring to drawing about the gestalt of operation of this invention.

[0057] (The whole active-matrix substrate configuration) First, as a gestalt of operation of the component substrate equipment of this invention, the active-matrix substrate for liquid crystal equipments is mentioned as an example, and it explains, referring to drawing 4 from drawing 1. It is the block diagram showing typically the configuration of the drive circuit built-in active-matrix substrate with which drawing 1 is used for a liquid crystal display panel here. Moreover, drawing 2 It is the top view showing the contact hole formed to an interlayer insulation film in order to aim at electric connection with the terminals 800 and 801 shown in drawing 1, the opening part formed to an interlayer insulation film so that it may correspond to 802 -- and these terminals 800 and 801, and wiring for a short circuit indicated to be 802 -- to drawing 1. Drawing 3 is the block diagram showing the detailed configuration of the static protection circuits 150 and 151 shown in drawing 1, and drawing 4 is the top view showing the detail of the arrangement mode of the signal wiring 72 and 73 shown in drawing 1, and the wiring 91 for the 1st short circuit explained in full detail behind.

[0058] As shown in drawing 1, pixel electrode 9a is constituted from a drive circuit built-in active-matrix substrate AM used for the liquid crystal display panel of this operation gestalt by two or more scanning-line 3a which crosses mutually on the TFT array substrate 10 constituted, for example with insulating ingredients, such as glass called a quartz, and two or more data-line 6a in the shape of a matrix. Scanning-line 3a and data-line 6a correspond here at an example of "wiring" said to this invention. Scanning-line 3a consists of doped silicon film, and data-line 6a consists of metal membranes, such as aluminum film, or alloy film. Moreover, image display field 10a is prescribed that the whole field in which pixel electrode 9a is formed in the shape of a matrix is also.

[0059] The data-line drive circuit 101 which supplies a picture signal to each of two or more data-line 6a is constituted by the outside field (circumference part) of image display field 10a on the TFT array substrate 10. Moreover, the scanning-line drive circuit 104 which supplies the scan signal for pixel selection to each scanning-line 3a is constituted by each of the both ends of scanning-line 3a.

[0060] Six picture signal lines video corresponding to each picture signals VID1-VID6 developed by sample hold circuit S/H which equips the data-line drive circuit 101 with TFT as an analog switch which operates based on the signal outputted from the X side shift register circuit and the X side shift register circuit, for example, six phases, etc. are constituted. In this operation gestalt, the aforementioned X side shift register circuit consists of four phases, through a terminal, start signal DX, clock signal CLX1-

CLX4 and reversal clock signal CLX1 bar [of those] – CLX4 bar is supplied to the X side shift register circuit, and the data-line drive circuit 101 drives the data-line drive circuit 101 with these signals from the exterior. Therefore, based on the signal outputted from the aforementioned X side shift register circuit, each TFT operates, the picture signals VID1–VID6 supplied through the picture signal line video are incorporated to data-line 6a to predetermined timing, and sample hold circuit S/H can supply each pixel electrode 9a.

[0061] On the other hand, start signal DY, a clock signal CLY, and its reversal clock signal CLY bar are supplied to the scanning-line drive circuit 104 from the exterior through a terminal, and the scanning-line drive circuit 104 drives with these signals.

[0062] In addition, although a gestalt with which the scanning-line drive circuit 104 is established in the left in drawing and the method of the right, and two and one data-line drive circuit 101 are established in the method of drawing Nakashita is shown in drawing 1 If it becomes, the scanning-line drive circuit 104 will be good as a gestalt in which the scan signal delay supplied to scanning-line 3a does not pose a problem and which is prepared only in the left in drawing, or one side of the method of the right, and Moreover, it cannot be overemphasized that it is good also as a gestalt which arranges the data-line drive circuit 101 on both sides along the side of image display field 10a.

[0063] many terminals 800, 801, and 802 which consist of electric conduction film, such as metal membranes, such as aluminum film by which constant supplies VDDX, VSSX, and VDDY, VSSY, a modulation picture signal (picture signals VID1–VID6), various driving signals, etc. are inputted into the side part of the side which the data-line drive circuit 101 consists of among the side parts of the TFT array substrate 10 in the active-matrix substrate AM of this operation gestalt, metal silicide film, or ITO film, ... is constituted.

[0064] these terminals 800, 801, and 802 -- while being formed on the 2nd below-mentioned interlayer insulation film 42 with which ... was formed on the TFT array substrate 10, it is formed in the form exposed outside by opening partial 43a too prepared in the 3rd below-mentioned interlayer insulation film 43. such terminals 800, 801, and 802 -- connection with the active-matrix substrate AM and external terminal concerning this operation gestalt is attained by using ..., i.e., a pad. And the 1st – the wiring 91–93 for the 3rd short circuit which are mentioned later Since it is formed in scanning-line 3a and coincidence as a lower layer of the 1st interlayer insulation film 41, The bottom sheet film 94 of a terminal and terminals 800, 801, and 802 which are some of the 1sts – wiring 91–93 for the 3rd short circuit ... Electric connection is made by the contact hole 89 formed in the 1st and 2nd interlayer insulation films 41 and 42 mentioned later as shown in drawing 2 .

[0065] moreover, drawing 1 -- return and these terminals 800, 801, and 802 -- the aluminum film for driving the scanning-line drive circuit 104 and the data-line drive circuit 101 from ... etc. -- low -- two or more signal wiring 72 and 73 which consists of metal membrane metallurgy group silicide film [****] is taken about, respectively. In addition to above-mentioned scanning-line 3a and data-line 6a, signal wiring 72 and 73 corresponds to an example of "wiring" said to this invention here.

[0066] The static protection circuits 150 and 151 are formed in the location in the middle of this signal wiring 72 and 73. Although various circuits can be used here as static protection circuits 150 and 151, protective resistance 66, and the P channel mold TFT67 and the N channel mold TFT68 by which the push pull array was carried out are used, and diode consists of what is shown, for example in drawing 3 between each positive supply VDD and negative supply VSS. With this operation gestalt, connecting the wiring 91 for the 1st short circuit to signal wiring 72 (or 73) especially here Are between a terminal 800 (801 or 802) and protective resistance 66, and by this static electricity which entered from a terminal 800 (801 or 802) or the 1st wiring 91 for a short circuit Unless it passes through protective resistance 66 and the electrostatic-protection circuit 150 (or 151), the data-line drive circuit 101 and the scanning-line drive circuit 104 are not arrived at. By considering as such a configuration, static electricity is certainly absorbed by the electrostatic-protection circuit 150 (or 151), and can protect certainly the data-line drive circuit 101 and the scanning-line drive circuit 104.

[0067] In addition, the counterelectrode potential LCCOM as which the opposite substrate which is not shown in drawing 1 in return, and the active-matrix substrate AM and drawing 1 is inputted from the outside is supplied to the opposite substrate by vertical flow material (about an opposite substrate and flow material, it is drawing 12 and referring to drawing 13).

[0068] Especially, in this operation gestalt, as shown in drawing 1 , the 1st - the wiring 91-93 for the 3rd short circuit are formed in the position here, respectively. Here, it connects electrically [the wiring 91 for the 1st short circuit] to all the signal wiring 72 and 73, and the wiring 92 for the 2nd short circuit is electrically connected to all scanning-line 3a, and the wiring 93 for the 3rd short circuit is electrically connected to all data-line 6a. In this operation gestalt, about all, these [1st] - the wiring 91-93 for the 3rd short circuit make it serve a double purpose, the process which forms scanning-line 3a and the gate electrode of TFT30, and coincidence, i.e., this process, and are formed (it explains in full detail by the next manufacture approach.). Moreover, the ingredient is constituted as a thing containing for example, the polish recon film etc.

[0069] However, it has composition which is described below in this operation gestalt about the wiring 91 and 93 for the 1st and 3rd short circuits among the above. Namely, the wiring 91 and 93 for these 1st and 3rd short circuits By carrying out now and being formed in ***** poor **** at scanning-line 3a etc. and coincidence The wiring 91 for the 1st short circuit is not existing in the same layer as signal wiring 72 and 73 on the TFT array substrate 10. The wiring 93 for the 3rd short circuit Similarly it will not exist in the same layer as data-line 6a (see the explanation about drawing 6 referred to behind or the manufacture approach mentioned later). Therefore, with this operation gestalt, as shown in drawing 4 , between the wiring 91 for the 1st short circuit, and signal wiring 72 and 73, the contact hole 403 which penetrates the 1st and 2nd below-mentioned interlayer insulation films 41 and 42 which intervene between the layers concerned is formed. Moreover, although illustration is not carried out, a contact hole is similarly prepared about between the wiring 93 for the 3rd short circuit, and data-line 6a. By doing in this way, each of both electrical installation is planned in each combination.

[0070] Moreover, since the existence will become harmful to the normal operation of equipment on the contrary after the production process of the active-matrix substrate AM is completed (at the time [Namely, however at the latest] of shipment), these [1st] - the wiring 91-93 for the 3rd short circuit are cut in the suitable phase in this production process in the location which gave "x" mark to drawing 1 . this cutting is stated also by the next manufacture approach -- as -- for example, the 1st, 2nd, and 3rd interlayer insulation films 41, 42, and 43 on the above 1st - the wiring 91-93 for the 3rd short circuit -- receiving -- the hole 880 for cutting -- forming -- this hole 880 for cutting -- using -- the 1- etching to the 3rd wiring 91-93 for a short circuit is performed -- it is realizable with the technique of **. And although the special feature is especially with this operation gestalt to use the reticle equipped with the part which has other light transmittance lower than the part and this which have the light transmittance of 1 at the time of cutting of wiring for a short circuit by etching using this hole 880 for cutting, respectively, that detailed explanation is given to yield the below-mentioned manufacture approach.

[0071] Next, with reference to drawing 5 and drawing 6 , the laminated structure formed on the this pixel electrode 9 TFT array substrate 10 containing a, TFT, etc. is explained to the more detailed configuration of the above-mentioned perimeter of pixel electrode 9a, and a list in detail. Drawing 5 is a top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed here adjoins each other, and drawing 6 is the A-A' sectional view of drawing 5 . In addition, in order to make each class and each part material into the magnitude of extent which can be recognized on a drawing, scales are made to have differed for every each class and each part material of this in drawing 6 .

[0072] In drawing 5 , on the TFT array substrate of an electro-optic device, as already stated, two or more transparent pixel electrode 9a (the profile is shown by dotted-line section 9a') is prepared in the shape of a matrix, and data-line 6a and scanning-line 3a are prepared respectively along the boundary of

pixel electrode 9a in every direction.

[0073] Among these, although data-line 6a consists of metal membranes, such as aluminum film [for example], or alloy film as already stated, in this operation gestalt, the signal wiring 72 and 73 mentioned above to this data-line 6a and coincidence will be formed in the formation process of this data-line 6a.

[0074] Moreover, scanning-line 3a is arranged so that channel field 1a' shown in the slash field of the drawing 5 Nakamigi riser among semi-conductor layer 1a may be countered, and scanning-line 3a functions as a gate electrode. That is, TFT30 for pixel switching by which opposite arrangement of the main track section of scanning-line 3a was carried out as a gate electrode is formed in the crossing part of scanning-line 3a and data-line 6a at channel field 1a', respectively.

[0075] TFT30 has LDD (Lightly Doped Drain) structure, as shown in drawing 6 . As the component scanning-line 3a which functions as having mentioned above as a gate electrode, for example, channel field 1 of semi-conductor layer 1a in which it becomes from polish recon film and channel is formed of electric field from scanning-line 3a a, -- ' -- Low concentration source field 1b in the insulator layer 2 containing the gate dielectric film with which scanning-line 3a and semi-conductor layer 1a are insulated, and semi-conductor layer 1a, and a low concentration drain field 1c list are equipped with 1d of high concentration source fields, and high concentration drain field 1e.

[0076] In the formation process of scanning-line 3a which incidentally contains the above-mentioned gate electrode, the 1st - the wiring 91-93 for the 3rd short circuit which were mentioned above will be formed in this scanning-line 3a and coincidence so that it may explain in detail by the next manufacture approach.

[0077] In addition, although TFT30 has LDD structure as preferably shown in drawing 6 , it may be TFT of the self aryne mold which may have the offset structure which does not drive an impurity into low concentration source field 1b and low concentration drain field 1c, drives in an impurity by high concentration by using as a mask the gate electrode which consists of a part of scanning-line 3a, and forms a high concentration source field and a high concentration drain field in self align. Moreover, although the gate electrode of TFT30 for pixel switching was made into the single gate structure arranged one piece among 1d [of high concentration source fields], and high concentration drain field 1e with this operation gestalt, two or more gate electrodes may be arranged among these. Thus, if TFT is constituted above the dual gate or the triple gate, the leakage current of a joint with a channel, the source, and a drain field can be prevented, and the current at the time of OFF can be reduced.

[0078] On the other hand, as shown in drawing 5 and drawing 6 , storage capacitance 70 is formed by carrying out opposite arrangement of the junction layer 71 as a pixel potential side capacity electrode connected to high concentration drain field 1e of TFT30, and pixel electrode 9a, and a part of capacity line 300 as a fixed potential side capacity electrode through a dielectric film 75. According to this storage capacitance 70, it becomes possible to raise notably the potential maintenance property in pixel electrode 9a.

[0079] The junction layer 71 consists of conductive polish recon film, and functions as a pixel potential side capacity electrode. However, the junction layer 71 may consist of the monolayer film or multilayers containing a metal or an alloy like the capacity line 300 explained in full detail behind. The junction layer 71 has the function which carries out trunk connection of pixel electrode 9a and the high concentration drain field 1e of TFT30 through the contact holes 83 and 85 besides the function as a pixel potential side capacity electrode.

[0080] This junction layer 71 achieves the function to relay connection between high concentration drain field 1e and pixel electrode 9a among semi-conductor layer 1a in TFT30, through the contact holes 83 and 85 besides the function as a pixel potential side capacity electrode.

[0081] Thus, if the junction layer 71 is used, avoiding the technical difficulty which connects between both, with about 2000nm in one contact hole even if long, it can connect between both good comparatively in two or more in-series contact holes of a minor diameter, and the distance between layers will become possible [raising a pixel numerical aperture]. Moreover, etching at the time of

contact hole puncturing runs, and it is useful also to prevention.

[0082] The capacity line 300 consists of electric conduction film containing a metal or an alloy, and functions as a fixed potential side capacity electrode. If this capacity line 300 is seen superficially, as shown in drawing 5, it is formed in the formation field of scanning-line 3a in piles. the lobe projected up along with data-line 6a, respectively from the each place which intersects data-line 6a, and the part corresponding to a contact hole 85 were more specifically slightly narrow the main track section to which the capacity line 300 extends along with scanning-line 3a, and among drawing -- it was narrow and has the section. Among these, a lobe contributes to increase of the formation field of storage capacitance 70 using the field on scanning-line 3a, and the field under data-line 6a.

[0083] Such a capacity line 300 consists of a conductive light-shielding film which contains a refractory metal preferably, and has a function as a protection-from-light layer which shades TFT30 from incident light in a TFT [besides the function as a fixed potential side capacity electrode of storage capacitance 70]30 top.

[0084] Moreover, it is preferably installed in the perimeter from image display field 10a by which pixel electrode 9a has been arranged, it connects with the constant source of potential electrically, and let the capacity line 300 be fixed potential. As such a constant source of potential, the constant source of potential of a positive supply or a negative supply supplied to the data-line drive circuit 101 is sufficient, and the constant potential supplied to the counterelectrode of an opposite substrate is also available.

[0085] A dielectric film 75 consists of silicon oxide film, such as comparatively thin HTO (High Temperature Oxide) film of about 5-200nm of thickness, and LTO (Low Temperature Oxide) film, or a silicon nitride film, as shown in drawing 6. As long as membranous dependability is fully acquired from a viewpoint which increases storage capacitance 70, a dielectric film 75 is so good that it is thin.

[0086] In drawing 5 and drawing 6, bottom light-shielding film 11a is prepared in the TFT [besides the above]30 bottom. Patterning of the bottom light-shielding film 11a is carried out to the shape of a grid, and, thereby, it has specified the opening field of each pixel. Moreover, the convention of an opening field is made also by data-line 6a prolonged in the lengthwise direction in drawing 5 and the capacity line 300 prolonged in the longitudinal direction in drawing 5 carrying out a phase crossover, and forming it.

[0087] In addition, it is good to install in the perimeter from an image display field, and to connect with the constant source of potential also about bottom light-shielding film 11a, in order to avoid that the potential fluctuation does a bad influence to TFT30 like the case of the above-mentioned capacity line 300.

[0088] Moreover, the substrate insulator layer 12 is formed in the bottom of TFT30. The substrate insulator layer 12 has the function to prevent property change of TFT30 for pixel switching with the dry area at the time of surface polish of the TFT array substrate 10, the dirt which remains after washing, by being formed all over the TFT array substrate 10 besides the function which carries out layer insulation of TFT30 from bottom light-shielding film 11a.

[0089] On scanning-line 3a, the 1st interlayer insulation film 41 with which the contact hole 83 which leads to the contact hole 81 and high concentration drain field 1e which lead to 1d of high concentration source fields was punctured, respectively is formed.

[0090] On the 1st interlayer insulation film 41, the junction layer 71 and the capacity line 300 are formed, and the 2nd interlayer insulation film 42 with which the contact hole 85 which leads to the contact hole 81 and the junction layer 71 which lead to 1d of high concentration source fields was punctured, respectively is formed on these.

[0091] Incidentally in this operation gestalt, the 1st and 2nd interlayer insulation films 41 and 42 of the above are received. It adds to the contact holes 81, 83, and 85 described now. The contact hole for planning the contact hole 403 for planning electrical installation of the wiring 91 for the 1st short circuit and signal wiring 72 and 73 which were mentioned above, or electrical installation of the wiring 93 for the 3rd short circuit and data-line 6a will be formed (it sets to drawing 6 R> 6, and is un-illustrating).

[0092] In addition, with this operation gestalt, activation of the ion poured into the polish recon film

which constitutes semi-conductor layer 1a and scanning-line 3a may be attained by performing about 1000-degree C baking to the 1st interlayer insulation film 41. On the other hand, you may make it aim at relaxation of the stress produced near the interface of the capacity line 300 by not performing such baking to the 2nd interlayer insulation film 42.

[0093] Data-line 6a is formed on the 2nd interlayer insulation film 42, and the 3rd interlayer insulation film 43 with which the contact hole 85 which leads to the junction layer 71 was formed is formed on these.

[0094] Flattening of the front face of the 3rd interlayer insulation film 43 is carried out by CMP (Chemical Mechanical Polishing) processing etc., and it reduces the poor orientation of the liquid crystal layer 50 resulting from the level difference by the various wiring, component, etc. which exist caudad. However, it may replace with the 3rd interlayer insulation film 43 in this way performing flattening processing, or, in addition, flattening processing may be performed by trenching at least one of the TFT array substrate 10, the substrate insulator layer 12, the 1st interlayer insulation film 41, and the 2nd interlayer insulation films 42, and embedding wiring and the TFT30 grade of data-line 6a etc.

[0095] Incidentally in addition to 403, the hole 880 for cutting for cutting the 1st – the wiring 91–93 for the 3rd short circuit which were mentioned above will be formed in the contact holes 81, 83, and 85 mentioned above and a list in this operation gestalt to the 1st, 2nd, and 3rd interlayer insulation films 41, 42, and 43 of the above, but suppose that the next manufacture approach is explained in full detail about this point.

[0096] Furthermore, as shown in drawing 6 besides the above, pixel electrode 9a is prepared in the TFT array substrate 10, and the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. Pixel electrode 9a consists of transparent conductive film, such as for example, ITO film. Moreover, the orientation film 16 consists of organic film, such as for example, polyimide film.

[0097] Semi-conductor layer 1a which constitutes TFT30 in this operation gestalt as stated above, scanning-line 3a containing an insulator layer 2 and this gate electrode that constitutes TFT30 and the junction layer 71 which constitutes storage capacitance 70, the capacity line 300, and a dielectric film 75 -- further If it is laminated on the TFT array substrate 10 and the various interlayer insulation films 41 and 42 and 43 grades put in another way, so to speak, it is “-izing [upper-layers]” Carried out, and is formed. According to the electro-optic device concerning this operation gestalt, it becomes possible from this to correspond to its detailed-izing and highly minute-ization. However, a distance the drawing Nakagami side of the 3rd interlayer insulation film 43 in which pixel electrode 9a is prepared on the other hand, and drawing Nakagami down [to a layer] in which scanning-line 3a is located will become comparatively large.

[0098] Next, with reference to drawing 7 and drawing 8 , the configuration of a mother substrate equipped with two or more active-matrix equipments AM which were mentioned above is explained. It is the top view showing signs that drawing 7 carried out array formation of the active-matrix substrate shown at drawing 1 here at the mother substrate top, and drawing 8 is the top view expanding and showing the field A in the mother substrate shown at drawing 7 .

[0099] above-mentioned the 1- prepared on the mother substrate MM in drawing 7 and drawing 8 at the periphery side of each active-matrix substrate AM -- the wiring 99 for the short circuit between substrate equipment with which electric connection is made is formed along with the cutting plane line on this mother substrate MM between the 3rd wiring 91–93 for a short circuit (shown by the drawing middle point line.). It becomes possible to make a substrate periphery diffuse the charge of static electricity which flowed through the 1st – the wiring 91–93 for the 3rd short circuit further by existence of this wiring 99 for the short circuit between substrate equipment after leading signal wiring 72 and 73, scanning-line 3a, or data-line 6a. Moreover, with this operation gestalt, it connects mutually to a final process between the adjoining active-matrix substrates AM, and especially the wiring 99 for the short circuit between substrate equipment electrically connected with the 1st – the wiring 91–93 for the 3rd

short circuit is separated between the active-matrix substrates AM at the time of cutting of the mother substrate MM. Thus, if constituted, since the wiring 99 for the short circuit between substrate equipment is changed into the condition of having arranged in the condition of having distributed broadly and can be set, concentration of a charge is prevented and it becomes possible to enjoy still more certainly the effectiveness concerning this invention that the circuit element of the TFT30 grade formed on the substrate and others can be kept away from the risk of an electrostatic discharge.

[0100] (The manufacture approach of a active-matrix substrate) Below, the manufacture approach of the active-matrix substrate AM which was mentioned above is explained with reference to drawing 9 thru/or drawing 11 . It is the process sectional view where drawing 9 thru/or drawing 11 show the manufacture approach of a active-matrix substrate here. Any ***** A cross section [in / in the left / the A-A'line of drawing 5] (cross section containing TFT30), The cross section (terminals 800, 801, and 802, cross section of a terminal area in which -- is formed) in the C-C'line of drawing 2 is shown in the cross section (cross section including the part where cutting of wiring for a short circuit shown by "x" mark is performed to drawing 1) in the B-B'line of drawing 4 , and the method of the right at the central part. In addition, below, the part concerning these lefts in drawing 9 thru/or drawing 11 , a central part, and the method of the right may be called the pixel TFT section, the static electricity cure wiring section, and a terminal area, respectively.

[0101] As shown in drawing 9 (A), on the front face of the transparent TFT array substrate 10 which consists of a glass substrate, for example, non-ant potash glass, a quartz, etc. First, direct, On the front face of the substrate insulator layer formed in the front face of the TFT array substrate 10 whole [or] After forming the semi-conductor film 1 which about 20nm - about 200nm of thickness becomes from about 100nm polish recon film preferably with a reduced pressure CVD method etc., as shown in drawing 9 (B) Patterning of it is carried out using a photolithography technique, and island-like semi-conductor layer 1a (active layer) is formed in the pixel TFT section side. At this time, the semi-conductor film 1 is completely removed by the static electricity cure wiring section and terminal area side. Formation of the aforementioned semi-conductor film may use the approach of recrystallizing by heat treatment and forming the polish recon film for 1 hour to 72 hours at the temperature of 500 degrees C - 700 degrees C after depositing the amorphous silicon film, after driving in and making amorphous silicon after performing heat treatment of 4 hours - 6 hours preferably, forming the polish recon film or depositing the polish recon film. In addition, in drawing 9 thru/or drawing 11 , in order to simplify explanation unlike the sectional view shown by drawing 6 , it is not illustrating about the bottom light-shielding film 11 and the substrate insulator layer 12.

[0102] Next, as shown in drawing 9 (C), the gate oxide 2 to which thickness becomes the front face of semi-conductor layer 1a from the silicon oxide which is about 50nm - about 150nm by the oxidizing [thermally] method etc. is formed. Or after forming preferably about 5nm - about 100nm of 30nm of thermal oxidation film, about 10nm - about 100nm of 50nm of silicon oxide is preferably deposited on the whole surface with a CVD method etc., and gate dielectric film 2 may be formed in it by them. Moreover, a silicon nitride may be used in order to form gate dielectric film 2 into high pressure-proofing further.

[0103] Next, as shown in drawing 9 (D), after forming the polish recon film 3 for forming a gate electrode etc. all over TFT array substrate 10, thermal diffusion of Lynn is carried out and the polish recon film 3 is electric-conduction-ized. Or the doped silicon film which introduced Lynn into membrane formation and coincidence of the polish recon film 3 may be used. Next, as the polish recon film 3 is shown in drawing 9 (E) using a photolithography technique, patterning is carried out and scanning-line 3a which contains a gate electrode in the pixel TFT section side is formed. On the occasion of this patterning, it leaves the polish recon film by the static electricity cure wiring section and terminal area side as wiring 3for short circuit b (it is equivalent to the 1st - the wiring 91-93 for the 3rd short circuit which were mentioned above.), and bottom sheet film of terminal 3c (it is equivalent to the bottom sheet film 94 of a terminal mentioned above.). That is, with this operation gestalt, the 1st - the wiring 91-93 for the 3rd short circuit will make it serve a double purpose, the process which forms scanning-line 3a containing

the gate electrode of TFT30, and coincidence, i.e., this process, and will be formed.

[0104] As shown in drawing 9 (F), next, to the pixel TFT section and N channel TFT section side of a drive circuit They are about $0.1 \times 10^{13} \text{--}/\text{cm}^2$ – about $10 \times 10^{13} \text{--}/\text{cm}^2$, using gate electrode 3a as a mask. The impurity ion 979 (phosphorus ion) low-concentration with a dose is driven in. Low-concentration source field 1b and low-concentration drain field 1c are formed in the pixel TFT section side in self align to gate electrode 3a. Here, since it is located just under gate electrode 3a, the part into which the impurity ion 979 was not introduced serves as a channel field with semi-conductor layer 1a. Thus, since an impurity is introduced also into the polish recon film currently formed as gate electrode 3a, wiring 3for short circuit b, and bottom sheet film of terminal 3c when ion implantation is performed, they will be electric-conduction-ized further.

[0105] Next, as shown in drawing 10 (G), in the pixel TFT section, the resist mask 959 with the wide width of face from gate electrode 3a is formed, and they are about $0.1 \times 10^{15} \text{--}/\text{cm}^2$ – about $10 \times 10^{15} \text{--}/\text{cm}^2$ about the high-concentration impurity ion 980 (phosphorus ion). It is devoted with a dose and 1d of high-concentration source fields and drain field 1e are formed.

[0106] It replaces with these impurity installation processes, and without driving in a low-concentration impurity, from gate electrode 3a, the high-concentration impurity (phosphorus ion) in the condition of having formed the resist mask 959 with wide width of face may be driven in, and the source field and drain field of offset structure may be formed. Moreover, of course, it is good in even if it drives in a high-concentration impurity (phosphorus ion) and forms the source field and drain field of self aryne structure on gate electrode 3a.

[0107] Moreover, they are about $0.1 \times 10^{15} \text{--}/\text{cm}^2$ – about $10 \times 10^{15} \text{--}/\text{cm}^2$, carrying out covering protection of said pixel section and the N channel TFT section by the resist, and using a gate electrode as a mask, in order to form the P channel TFT section of a circumference drive circuit, although illustration is omitted. By driving in boron ion with a dose, the source drain field of a P channel is formed in self align. In addition, a gate electrode is used as a mask like the time of formation of the N channel TFT section. About $0.1 \times 10^{13} \text{--}/\text{cm}^2$ – about $10 \times 10^{13} \text{--}/\text{cm}^2$ An impurity (boron ion) low-concentration with a dose is introduced. A mask with the width of face wide after forming a low concentration field in the polish recon film from a gate electrode is formed, and they are about $0.1 \times 10^{15} \text{--}/\text{cm}^2$ – about $10 \times 10^{15} \text{--}/\text{cm}^2$ about a high-concentration impurity (boron ion). It is devoted with a dose. The source field and drain field of LDD structure (the Rheydt Lee doped drain structure) may be formed. Moreover, the high-concentration impurity (phosphorus ion) in the condition of having formed the mask with width of face wider than a gate electrode may be driven in without driving in a low-concentration impurity, and the source field and drain field of offset structure may be formed. According to these ion implantation processes, CMOS-ization is attained and built-in-ization of it into the same substrate of a circumference drive circuit is attained.

[0108] As shown in drawing 10 (H), next, to the front-face side of gate electrode 3a, wiring 3for short circuit b, and bottom sheet film of terminal 3c For example, with ordinary pressure or a reduced pressure CVD method using TEOS (tetrapod ethyl orthochromatic silicate) gas, TEB (tetrapod ethyl boat rate) gas, TMOP (tetrapod methyl oxy-FOSU rate) gas, etc. The 1st interlayer insulation film 41 which consists of silicate glass film, such as NSG (non silicate glass), PSG (phosphorus silicate glass), BSG (boron silicate glass), and BPSG (boron phosphorus silicate glass), a silicon nitride film, or silicon oxide film is formed. The thickness is set to about 500nm – about 1500nm.

[0109] Next, as shown in drawing 10 (I), after puncturing the contact hole 83 which reaches high concentration drain field 1e of TFT30 by dry etching to the 1st interlayer insulation film 41, such as reactive ion etching and reactant ion beam etching, metal membranes, such as Pt, are formed by sputtering on this 1st interlayer insulation film 41 at about 100–500nm thickness. And the junction layer 71 with a predetermined pattern is formed by the photolithography and etching. Then, the dielectric film 75 which consists of TaOx film etc. is formed on the junction layer 71 by a plasma-CVD method etc. Like the case of an insulator layer 2, this dielectric film 75 may constitute monolayer or multilayers

either, and can be formed with various kinds of well-known techniques used for generally forming TFT gate dielectric film. And since storage capacitance 70 becomes large so that a dielectric film 75 is made thin, it is advantageous, if it forms after all so that it may become the very thin insulator layer of 50nm or less of thickness on condition that defects, such as a film tear, do not arise. Then, metal membranes, such as aluminum, are formed by sputtering on a dielectric film 75 at about about 100–500nm thickness. And the capacity line 300 with a predetermined pattern is formed by the photolithography and etching. Thereby, storage capacitance 70 is completed with this capacity line 300, the above-mentioned junction layer 71, and a dielectric film 75. In addition, in case patterning of the above-mentioned junction layer 71 and the above-mentioned capacity line 300 is carried out in the static electricity cure wiring section and a terminal area at this time so that it may have a predetermined pattern by the photolithography and etching, it is removed from the 1st interlayer insulation film 41.

[0110] Next, as shown in drawing 10 (J), the 2nd interlayer insulation film 42 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed with the ordinary pressure or the reduced pressure CVD method using TEOS gas etc. on the 1st interlayer insulation film 41 and the above-mentioned capacity line 300. The thickness may be about about 500–1500nm. Then, by the part [corresponding to 1d of source fields], and terminal area side, contact holes 81 and 89 are formed in the part corresponding to bottom sheet film of terminal 3c among the 1st interlayer insulation film 41 at the pixel TFT section side using a photolithography technique, respectively among the 1st and 2nd interlayer insulation films 41 and 42. Then, since a source electrode is constituted, the aluminum film is formed in the front-face side of the 2nd interlayer insulation film 42 by a spatter etc. The metal silicide film metallurgy group alloy film other than metal membranes, such as aluminum, may be used. Then, using a photolithography technique, patterning of the aluminum film is carried out and a source electrode is formed as a part of data-line 6a in the pixel TFT section. it combines, signal wiring 6b (it is equivalent to the signal wiring 72 and 73 mentioned above.) is formed in the static electricity cure wiring section, and terminal 6c (the terminals 800, 801, and 802 mentioned above -- it is equivalent to ...) is formed in a terminal area side.

[0111] Wiring connection between the 1st and 3rd wiring 91 and 93 for a short circuit explained with reference to drawing 4 R> 4, and signal wiring 72 and 73 and data-line 6a is made using the process of these drawing 10 (J).

[0112] Next, as shown in drawing 10 (K), the 3rd interlayer insulation film 43 which consists of silicate glass film, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, silicon oxide film, etc. is formed in the front-face side of source electrode 6a, signal wiring 6b, and terminal 6c with the ordinary pressure or the reduced pressure CVD method using TEOS gas etc. The thickness may be about about 500–1500nm. Then, in the pixel TFT section side, the contact hole 85 which reaches said junction layer 71 among the 3rd interlayer insulation film 43 and the 2nd interlayer insulation film 42 is formed using a photolithography technique, the dry etching method, etc. it combines and the hole 880 for cutting is formed in the static electricity cure wiring section side on wiring 3b for a short circuit (the 1- mentioned above -- it is equivalent to the 3rd wiring 91–93 for a short circuit.). Especially with this operation gestalt, and this hole 880 for cutting Considering being formed, after the storage capacitance 70 which consists of at least three layers, the junction layer 71, a dielectric film 75, and the capacity line 300, and 3rd interlayer insulation film 43 grade are formed so that it may turn out that drawing 10 (K) is seen It turns out that distance (namely, depth of this hole 880 for cutting) until it results [from the opening part] in wiring 3b for a short circuit becomes large.

[0113] Next, as shown in drawing 11 (L), after thickness forms the ITO film which is about 40nm – about 200nm by a spatter etc., patterning of the ITO film is carried out using a photolithography technique, and pixel electrode 9a is formed in the front-face side of the 3rd interlayer insulation film 43 in the pixel TFT section. This pixel electrode 9a will be connected to high concentration drain field 1e of TFT30 through a contact hole 85, the junction layer 71, and a contact hole 83 as it is shown in drawing. Moreover, by the static electricity cure wiring section and the terminal area, the ITO film is completely removed in the

case of formation of this pixel electrode 9a. Here, as pixel electrode 9a, it is not only the ITO film but SnOx. The film and ZnOx It is also possible to use the transparent electrode ingredient which consists of a metallic oxide high-melting [, such as film,] etc., and if it is these ingredients, the step coverage in a contact hole will also be equal to practical use.

[0114] Next, a resist 901 is applied to the front-face side of the 3rd interlayer insulation film 43 as shown in drawing 11 (M). Generally, this resist 901 is thickly formed in the 3rd interlayer insulation film 43 and wiring 3b top for a short circuit, i.e., the pars basilaris ossis occipitalis of the hole 880 for cutting, and is thinly formed in the side attachment wall of this hole 880 for cutting as it is appearing in drawing showing the static electricity cure wiring section of drawing 11 (M).

[0115] And especially with this operation gestalt, said resist 901 is exposed using the reticle 950 which has the light transmittance of 1 in the location which counters the hole 880 for cutting, and has other light transmittance lower than said light transmittance of 1 in the location which does not counter this hole 880 for cutting so that it may combine with drawing 11 (M) and may be shown. That is, in this operation gestalt, this exposure using the one exposure light source used as the same reinforcement, as the light exposure in which the light exposure in the location which exists the hole 880 for cutting is large, and it does not exist becomes small, it will be performed.

[0116] In this operation gestalt, in order to realize the reticle 950 which has different light transmittance which was described above, as more specifically shown in drawing 11 (M), thin film 950a is formed in this a part of reticle 950. A reticle 950 or a refractive index serves as abbreviation identitas, for example, this thin film 950a makes SiNx (silicon nitride) etc. ITO used as an ingredient of for example, the above-mentioned pixel electrode 9a, and the thing which consists of SiO2 grade again. Moreover, the thickness is good to be referred to as about 100nm. By such existence of thin film 950a, about the part in which this thin film 950a was formed, compared with the part in which this thin film 950a is not formed, light transmittance becomes small, therefore light exposure can be made small. What takes an optical path different, for example of especially the light that penetrates each of the part which has the light transmittance of 1, and the part which has other light transmittance according to using thin film 950a from which the body and refractive index of a reticle 950 become the same is lost. That is, by the body of this thin film 950a and a reticle 950, the same optical path will be taken and light will advance. therefore, a thing [a thing] exposure is carried out to the part besides a request -- there is nothing -- precision -- it becomes it is high and possible to manufacture component substrate equipment.

[0117] On the other hand, light-shielding film 950b constituted by Cr etc. is formed that the reticle 950 in this operation gestalt should constitute the protection-from-light section generally seen in a reticle 950 as shown in drawing 11 (M). That is, in this operation gestalt, the structure where the laminating of thin film 950a and the light-shielding film 950b was carried out is taken in the predetermined part on a reticle 950.

[0118] In the part which is not the **** injury need in a resist 901 from such a thing, for example As if the laminated structure of the above-mentioned thin film 950a and light-shielding film 950b is taken, both In the part which is [over a resist 901 / **** injury] necessary in order to form opening part 43a (refer to drawing 2) which should be exposed as terminal 6c, as shown in the method of the right of drawing 11 (M) A suitable exposure process can be carried out by considering as a gestalt in which only thin film 950a is formed in and light-shielding film 950b is not formed etc. If it does in this way in short, it becomes possible to set up light transmittance more finely, and will ** to operation of an exact exposure process.

[0119] Moreover, it is good also as what has the laminated structure which consisted of two or more ingredients which are different from each other in the thin film 950a itself in addition to such a configuration. In this case, it cannot be overemphasized that light transmittance can be controlled more finely.

[0120] In addition, it is good to consider as i line of 365nm of light wave length etc., and to make light transmittance into 50% - about 85% in general as more concrete exposure conditions, about the light

which emits the exposure light source, in the part in which only thin film 950a is formed about 100% in light transmittance in the part in which thin film 950a in the reticle 950 concerning this operation gestalt is not formed, for example. In this case, it is good for energy to presuppose still more concretely the luminous energy which emits the exposure light source that exposure by about 1600 J/m² is carried out, respectively directly under [in which only thin film 950a is formed for exposure by about 2200 J/m²] a part etc. about 2200 J/m², then directly under [in which thin film 950a is not formed] a part.

[0121] Thus, the reticle 950 which serves as a configuration mentioned above with this operation gestalt is used. Since the exposure process of a resist 901 is carried out, while becoming possible to perform sufficient exposure also to the pars basilaris ossis occipitalis 901 of the hole 880 for cutting, i.e., the resist on wiring 3b for a short circuit To the resist 901 which exists on the 3rd interlayer insulation film 43, excessive exposure is not performed but it becomes possible to reduce possibility of generating [halation]. Consequently, as shown in drawing 11 (N), the gestalt to which a resist 901 remains on the 3rd interlayer insulation film 43 appears suitably the resist 901 in the pars basilaris ossis occipitalis of the hole 880 for cutting while the development and removal are performed nearly completely. In addition, ***** of the reticle 901 concerning the opening part 43a formation for exposing terminal 6c etc. can carry this out certainly by making the field where only thin film 950a exists in a reticle 950.

[0122] In addition, in the above, when carrying out ***** in the location which exists in the exposure 880 to the resist 901 in the static electricity cure wiring section, i.e., the hole for cutting, finally it is desirable to make it the ***** part concerned become larger than opening of the hole 880 for cutting. Moreover, forming beforehand is desirable so that the dimension of the upper limit opening may become larger than a lower limit dimension in the hole 880 for cutting in relation to this (refer to drawing 11 (N) about all). In order to fill the latter demand, being based on wet etching is one of the optimal approaches.

[0123] If it passes through the above processes, it will etch through a resist 901, and as shown in drawing 11 (O), in a terminal area, terminal 6c will be exposed from opening partial 43a. It combines, and in the static electricity cure wiring section side, wiring 3b for a short circuit is cut, and each wiring is separated by this cutting section 19.

[0124] Thus, since wiring 3b for a short circuit is cut by the final process of a production process, static electricity generated at the process of many before it becomes possible [preventing beforehand] about having a bad influence on the various circuit elements formed on the substrate.

[0125] Thus, although manufacture of the active-matrix substrate AM is completed in general, this substrate AM can be formed all at once on the mother substrate MM at two or more coincidence, as shown in drawing 7 and drawing 8 . In such a case, the condition that the above-mentioned 1st - the above-mentioned wiring 91-93 for the 3rd short circuit, and the wiring 99 for the short circuit between substrate equipment are connected electrically is made. Specifically, it is good in the case of formation of each wiring 91-93 for a short circuit concerned (in namely, the case of formation of scanning-line 3a) to plan electrical installation by forming separately the contact hole which connects between both depending on forming the wiring 99 for the short circuit between substrate equipment in this and coincidence, or the case etc.

[0126] Since the charge generated on the substrate will be led to the periphery of this substrate according to existence of this wiring 99 for the short circuit between substrate equipment, a possibility that the circuit element of TFT and others on a substrate may carry out an electrostatic discharge will be reduced further.

[0127] As explained above, according to this operation gestalt, it is first related with each of the signal wiring 72 and 73 connected to scanning-line 3a and a data-line 6a list in the data-line drive circuit 101 and the scanning-line drive circuit 104. Since almost all the processes concerning active-matrix substrate manufacture will be performed after the 1st - the wiring 91-93 for the 3rd short circuit have existed, even if static electricity occurs or a charge is accumulated in a substrate front face It becomes possible to diffuse this charge through these wiring 91-93 for the 1st-3rd short circuit. Therefore, the various circuit elements of the TFT30 grade formed on the active-matrix substrate AM so applied to

this operation gestalt so that a superfluous current may not flow suddenly in scanning-line 3a and a data-line 6a list in the data-line drive circuit 101 and the data-line drive circuit 104, and others can prevent carrying out an electrostatic discharge etc. effectively.

[0128] In this operation gestalt, it especially has the light transmittance of 1 in the location which counters the hole 880 for cutting formed in order to cut the above 1st - the wiring 91-93 for the 3rd short circuit. By exposing a resist 901 using the reticle 950 which has other light transmittance lower than said light transmittance of 1 in the location which does not counter this hole 880 for cutting While becoming possible to develop and remove effectively the resist 901 comparatively applied to the pars basilaris ossis occipitalis of the large hole 880 for cutting of the depth, the point that excessive exposure is not carried out to the resist on the 3rd interlayer insulation film 43 can be mentioned especially. That is, by carrying out use of such a reticle 950 thru/or exposure using this reticle 950, cutting of the 1st - the wiring 91-93 for the 3rd short circuit can carry this out certainly, and what causes behind unnecessary short circuit accident of it is almost lost.

[0129] Moreover, it sets in this operation gestalt and they are [the formation process of TFT30, the formation process of various wiring, or] each terminals 800, 801, and 802. -- In a formation process etc. Since the process concerning formation of the 1st - the wiring 91-93 for the 3rd short circuit and formation of the hole 880 for cutting, and cutting of each wiring 91-93 for a short circuit which used this hole 880 for the list is carried out to coincidence, it is possible to reduce the phase appropriateness and a manufacturing cost.

[0130] (The manufacture approach of an electro-optic device and an electro-optic device) Below, the electro-optic device concerned in the case of using the active-matrix substrate AM manufactured as mentioned above as one side of the substrate of the pair which constitutes an electro-optic device, and its manufacture approach are explained.

[0131] First, the structure of an electro-optic device is explained with reference to drawing 12 R> 2 and drawing 13 . In addition, drawing 12 is the top view which saw the TFT array substrate from the opposite substrate 20 side with each component formed on it, and drawing 13 is the H-H'sectional view of drawing 12 .

[0132] In drawing 12 and drawing 13 , with the electro-optic device concerning this operation gestalt, while opposite arrangement of the TFT array substrate 10 and the opposite substrate 20 is carried out, the liquid crystal layer 50 was enclosed between these substrates 10 and 20, and both the substrates 10 and 20 are mutually pasted up by the sealant 52 prepared in the seal field located in the perimeter of image display field 10a. In addition, in order that a sealant 52 may stick both substrates, it consists of ultraviolet-rays hardening resin, heat-curing resin, etc., and is stiffened by ultraviolet rays, heating, etc.

[0133] Moreover, in this sealant 52, the liquid crystal equipment in this operation gestalt is small like a projector application, and if it is liquid crystal equipment which performs an enlarged display, gap material (spacer), such as a glass fiber for making distance between both substrates (gap between substrates) into a predetermined value or a glass bead, is sprinkled. Or the liquid crystal equipment concerned is large-sized like a liquid crystal display or a liquid crystal television, and as long as it is liquid crystal equipment which performs an actual size display, such gap material may be contained in the liquid crystal layer 50.

[0134] Furthermore, on the TFT array substrate 10, the light-shielding film 53 as a frame which specifies the circumference of image display field 10a is formed in parallel to the inside of said sealant 52 at the opposite substrate 20 side. However, a part or all of such a frame light-shielding film 53 may be prepared in the TFT array substrate 10 side as an internal-organs light-shielding film.

[0135] In the explanation which referred to drawing 1 , already mentioned the field of the outside of a sealant 52. The data-line drive circuit 101 and the external circuit connection terminal 102 which drive this data-line 6a by supplying a picture signal to data-line 6a to predetermined timing are prepared along with one side of the TFT array substrate 10. By supplying a scan signal to scanning-line 3a to predetermined timing, the scanning-line drive circuit 104 which drives scanning-line 3a is formed along

with two sides which adjoin this one side. Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of image display field 10a is formed in one side in which the TFT array substrate 10 remains. Moreover, in at least one place of the corner section of the opposite substrate 20, the flow material 106 for taking a flow electrically between the TFT array substrate 10 and the opposite substrate 20 is formed.

[0136] On the other hand, in drawing 13, the orientation film is formed on pixel electrode 9a after wiring of TFT for pixel switching, the scanning line, the data line, etc., etc. was formed on the TFT array substrate 10. On the other hand, on the opposite substrate 20, the orientation film is formed at a part for the management of the maximum besides a counterelectrode 21. Moreover, the liquid crystal layer 50 consists of liquid crystal which mixed a kind or some kinds of NEMATEIUKU liquid crystal, and takes a predetermined orientation condition between the orientation film of these pairs.

[0137] In addition, on the TFT array substrate 10, the inspection circuit for inspecting the precharge circuit which precedes the precharge signal of a predetermined voltage level with a picture signal, and supplies it to two or more data-line 6a respectively, the quality of the electro-optic device concerned at the manufacture middle or the time of shipment, a defect, etc. in addition to these data-line drive circuits 101 and scanning-line drive circuit 104 grade etc. may be formed.

[0138] Such an electro-optic device can be manufactured through a process as shown in the flow chart of drawing 14. In addition, as the above-mentioned active-matrix substrate AM mentioned above, suppose that it explains on the basis of the gestalt by which two or more formation is carried out on the mother substrate MM here.

[0139] First, it passes through each process explained with reference to drawing 9 thru/or drawing 11, and manufacture of each active-matrix substrate AM on the mother substrate MM is made to complete (step S11). In addition, on pixel electrode 9a, although not touched in the above-mentioned manufacture approach, after applying the coating liquid of the orientation film of a polyimide system, the orientation film 16 is formed by performing rubbing processing in the predetermined direction etc. so that it may have a predetermined pre tilt angle (reference, such as drawing 6).

[0140] On the other hand, in parallel to manufacture of the above-mentioned active-matrix substrate AM, two or more opposite substrates are formed on another mother substrate. First, a glass substrate etc. is prepared as a mother substrate (step S51), and after the light-shielding film as a frame carries out the spatter of the chromium metal, specifically, it is formed through a photolithography and etching (step S52). In addition, these light-shielding films do not need to be conductivity and may form others, carbon, and Ti, such as Cr, nickel, and aluminum, from ingredients, such as resin black distributed to the photoresist. [metallic material] Then, a counterelectrode is formed by spatter processing etc. all over an opposite substrate by depositing transparent conductive film, such as ITO, on the thickness of about 50-200nm (step S53). Furthermore, after applying the coating liquid of the orientation film of a polyimide system all over a counterelectrode, the orientation film 22 is formed by performing rubbing processing in the predetermined direction etc. so that it may have a predetermined pre tilt angle (step S54).

[0141] Thus, if two or more opposite substrates are formed on the mother substrate MM, respectively on mother substrate with two or more another active-matrix substrates AM next, these will be stuck through a sealant (step S81). Then, vacuum suction etc. encloses electrooptic material, such as liquid crystal which comes to mix two or more sorts of NEMATEIUKU liquid crystal, with the space inserted into these active-matrices substrate AM and the opposite substrate (step S82). Finally, where both the mothers substrate is stretched, these are separated along with a cutting plane line (step S83), and completion of an electro-optic device is seen.

[0142] In addition, since the above-mentioned wiring 99 for the short circuit between substrate equipment will also be divided by this separation process at coincidence, there is no possibility that the actuation in the electro-optic device manufactured as mentioned above may be blocked by this wiring 99 for the short circuit between substrate equipment.

[0143] This invention is not restricted to the operation gestalt mentioned above, and can be suitably

changed in the range which is not contrary to the summary of invention which can be read in a claim and the whole specification, or thought, and a reticle is also contained in the manufacture approach of the component substrate equipment accompanied by such modification and the manufacture approach of an electro-optic device, and a list in the technical range of this invention.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
 2. **** shows the word which can not be translated.
 3. In the drawings, any words are not translated.
-

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing typically the whole active-matrix substrate configuration concerning the operation gestalt of this invention.

[Drawing 2] In order to aim at electric connection with wiring for a short circuit shown in the opening part and this terminal which are formed to an interlayer insulation film, and drawing 1 so that it may correspond to the terminal and this terminal which are shown in drawing 1, it is the top view showing the contact hole formed to an interlayer insulation film.

[Drawing 3] It is the block diagram showing the detailed configuration of the static protection circuit shown in drawing 1.

[Drawing 4] It is the top view showing the detail of the arrangement mode of the signal wiring and wiring for the 1st short circuit which are shown in drawing 1.

[Drawing 5] It is the top view of two or more pixel groups where the TFT array substrate with which the data line, the scanning line, a pixel electrode, etc. were formed adjoins each other.

[Drawing 6] It is the A-A' sectional view of drawing 5.

[Drawing 7] It is the top view showing signs that array formation of the active-matrix substrate shown in drawing 1 was carried out at the mother substrate.

[Drawing 8] It is the top view expanding and showing the field A in the mother substrate shown in drawing 1.

[Drawing 9] It is the process sectional view (the 1) showing the manufacture approach of the active-matrix substrate shown in drawing 1.

[Drawing 10] It is the process sectional view (the 2) showing the manufacture approach of the active-matrix substrate shown in drawing 1.

[Drawing 11] It is the process sectional view (the 3) showing the manufacture approach of the active-matrix substrate shown in drawing 1.

[Drawing 12] It is the top view which saw the TFT array substrate from the opposite substrate side with each component formed on it.

[Drawing 13] It is the H-H' sectional view of drawing 12.

[Drawing 14] It is the flow chart which shows the manufacture approach of an electro-optic device along with the order of a process.

[Description of Notations]

3a -- Scanning line

6a -- Data line

10 -- TFT array substrate

20 -- Opposite substrate

30 -- TFT

41, 42, 43 -- Interlayer insulation film

50 -- Liquid crystal layer

70 -- Storage capacitance

72 73 -- Signal wiring

81, 82, 83, 85, 89, 403 -- Contact hole

91, 92, 93, 3b -- The 1st - wiring for the 3rd short circuit

99 -- Wiring for the short circuit between substrate equipment

101 -- Data-line drive circuit

102 -- External circuit connection terminal

104 -- Scanning-line drive circuit

800, 801, 802 -- Terminal

880 -- Hole for cutting

901 -- Resist

950 -- Reticle

950a -- Thin film

950b -- Light-shielding film

AM -- Active-matrix substrate

MM -- Mother substrate

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-121875

(P2003-121875A)

(43) 公開日 平成15年4月23日 (2003. 4. 23)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 2 F	1/1368	G 0 2 F 1/1368	2 H 0 8 8
	1/13	1/13	1 0 1 2 H 0 9 2
	1/1345	1/1345	2 H 0 9 5
G 0 3 F	1/08	G 0 3 F 1/08	L 2 H 0 9 7
	7/20	7/20	5 C 0 9 4

審査請求 未請求 請求項の数14 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2001-311846 (P2001-311846)

(22) 出願日 平成13年10月9日 (2001. 10. 9)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 高原 研一

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅誉 (外2名)

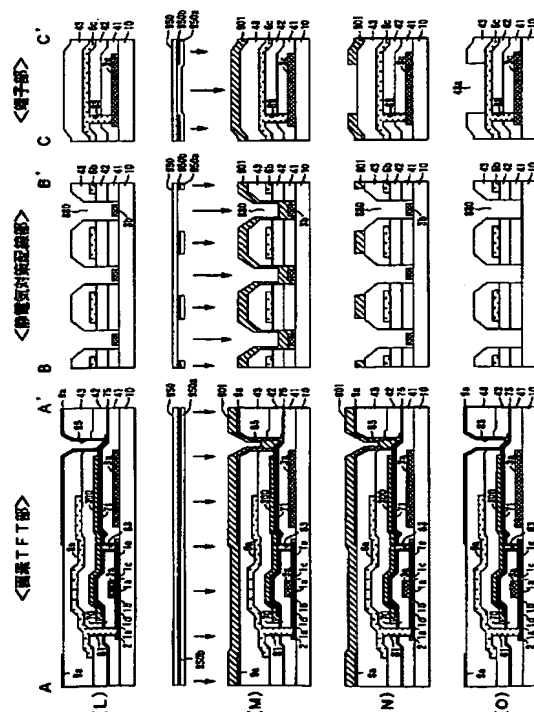
最終頁に続く

(54) 【発明の名称】 素子基板装置の製造方法及び電気光学装置の製造方法並びにレチクル

(57) 【要約】

【課題】 素子基板装置の製造において、短絡用配線を形成することによる静電気対策を効果的に実施することが可能であるとともに、その切断を確実に実施し得るようにする。

【解決手段】 本発明に係る短絡用配線の切断においては、短絡用配線 (3 b) 上の層間絶縁膜 (4 1 乃至 4 3) に対して形成された切断用孔 (8 8 0) に対向する位置において一の光透過率を有し、該切断用孔に対向しない位置において前記一の光透過率よりも低い他の光透過率を有するレチクル (9 5 0) を用いる。



(2)

【特許請求の範囲】

【請求項1】 複数の画素電極と、該複数の画素電極に接続された複数の薄膜トランジスタと、該複数の画素電極を駆動するため前記複数の薄膜トランジスタに接続された配線とを備える素子基板装置を製造する素子基板装置の製造方法であって、

前記配線間を接続する短絡用配線を形成する工程と、

前記短絡用配線上に層間絶縁膜を形成する工程と、

前記短絡用配線上の前記層間絶縁膜に対して切断用孔を形成する工程と、

前記切断用孔を形成後に前記層間絶縁膜上及び前記短絡用配線上にレジストを塗布する工程と、

前記切断用孔に対向する位置において一の光透過率を有し、かつ、該切断用孔に対向しない位置において前記一の光透過率よりも低い他の光透過率を有するとともに、前記切断用孔に対向する位置を除く領域内に所定パターンの遮光膜が形成されてなるレチクルを用いて、前記レジストを露光する工程と、

前記レジストの除去後に前記切断用孔を利用して前記短絡用配線を切断する工程とを含むことを特徴とする素子基板装置の製造方法。

【請求項2】 前記配線は、走査線を含むことを特徴とする請求項1に記載の素子基板装置の製造方法。

【請求項3】 前記配線は、データ線を含むことを特徴とする請求項1又は2に記載の素子基板装置の製造方法。

【請求項4】 前記配線は、前記走査線に接続された走査線駆動回路又は前記データ線に接続されたデータ線駆動回路の少なくとも一方を駆動するための信号を供給する信号配線を含むことを特徴とする請求項2又は3に記載の素子基板装置の製造方法。

【請求項5】 当該素子基板装置は、マザー基板上に複数形成されるとともに該マザー基板を切断線に沿って分断することにより形成されるものであり、前記短絡用配線と電氣的に接続された基板装置間短絡用配線を前記マザー基板上の前記切断線に沿って形成する工程と、前記切断線に沿った分断を実施することにより前記基板装置間短絡用配線を当該素子基板装置間で分断する工程とを更に含むことを特徴とする請求項1乃至4のいずれか一項に記載の素子基板装置の製造方法。

【請求項6】 前記層間絶縁膜を形成する工程の後、前記切断用孔を形成する工程の前に、前記層間絶縁膜上に蓄積容量を形成する工程と、該蓄積容量上に他の層間絶縁膜を形成する工程とを更に含むことを特徴とする請求項1乃至5のいずれか一項に記載の素子基板装置の製造方法。

【請求項7】 前記レチクルにおいて前記他の光透過率を有する部位には、薄膜が形成されていることを特徴とする請求項1乃至6のいずれか一項に記載の素子基板装置の製造方法。

2

【請求項8】 前記薄膜は、前記レチクル上における前記遮光膜上に形成されていることを特徴とする請求項7に記載の素子基板装置の製造方法。

【請求項9】 前記薄膜の少なくとも一部は、前記レチクルと同一の屈折率を有することを特徴とする請求項7又は8に記載の素子基板装置の製造方法。

【請求項10】 前記薄膜の少なくとも一部は、相異なる複数の材料により構成された積層構造を有することを特徴とする請求項7乃至9のいずれか一項に記載の素子基板装置の製造方法。

【請求項11】 前記画素電極に代えてストライプ状電極を備え、前記配線は前記ストライプ状電極に直接接続されてなり、

前記配線に接続され、前記ストライプ状電極を駆動するための、他の薄膜トランジスタを含む駆動回路部が更に備えられてなることを特徴とする請求項1乃至10のいずれか一項に記載の素子基板装置の製造方法。

【請求項12】 請求項1乃至11のいずれか一項に記載の素子基板装置の製造方法により当該素子基板装置を製造する工程と、

該素子基板装置に対向するように対向基板を相接着する工程と、

前記素子基板装置及び前記対向基板間に電気光学物質を封入する工程とを含むことを特徴とする電気光学装置の製造方法。

【請求項13】 半導体プロセスにおいて使用されるレチクルであって、その少なくとも一の部位において一の光透過率を有するとともに、他の部位において前記一の光透過率よりも大きい他の光透過率を有し、前記他の部位の少なくとも一部には、所定パターンの遮光膜が形成されており、

前記一の部位の少なくとも一部には、前記遮光膜が形成されていないことを特徴とするレチクル。

【請求項14】 前記他の透過率を有する部位には、薄膜が形成されていることを特徴とする請求項13に記載のレチクル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、その上に複数の回路素子及び配線等が形成されるアクティブマトリクス基板装置等の素子基板装置の製造方法、及び該素子基板装置を用いた電気光学装置の製造方法の技術分野、並びに半導体プロセス一般に用いられるレチクルの技術分野に属する。

【0002】

【背景技術】マトリクス状に配列された画素電極及び該電極の各々に接続された薄膜トランジスタ (Thin Film Transistor; 以下適宜、「TFT」という。)、該TFTの各々に接続され、行 (又は列) 方向に平行に設けられた走査線及び列 (又は行) 方向に平行に設けられたデ

(3)

3

ータ線等を備えるとともに、前記走査線に対しては走査線駆動回路による駆動が、前記データ線に対してはデータ線駆動回路による駆動が、それぞれ行われることによって、いわゆるアクティブマトリクス駆動が可能な電気光学装置が知られている。このような電気光学装置における上述のTFT等その他の回路素子、あるいは該回路素子間を接続する上述の走査線又はデータ線等の配線は、半導体プロセスを応用して形成されている。

【0003】ところで、このような電気光学装置、とりわけ例えば液晶装置等においては、上述のTFT等その他の回路素子等を搭載する基板に、ガラス等の絶縁性の材料が用いられることがある。一方、上記半導体プロセスとしては、例えば、スパッタリング工程やドライエッチング工程等を考えることができる。これらのことから、例えば、スパッタリング工程においては、「絶縁性」の基板上に「帯電」粒子が衝突・堆積されることになるから、該基板において静電気が蓄積することがある。このように静電気が蓄積されると、これを起因とした不具合、例えば、上述のTFT等その他の回路素子を静電破壊する可能性が高くなる。

【0004】そこで、従来では、前記走査線、あるいは前記データ線を形成する工程を兼用して各々の走査線、あるいはデータ線に電氣的に接続する短絡用配線を形成することが行われている。この短絡用配線を形成すると、絶縁性基板の表面に蓄積された電荷や静電気は該短絡用配線を介して基板外周側に拡散されることになるから、突発的に過剰な電流が、走査線、あるいはデータ線を介してTFT等その他の回路素子等に流れることがなくなり、該回路素子等の静電破壊を未然に防止することができる。

【0005】ただし、上述した短絡用配線は、電気光学装置の製造工程の完了前には、当該電気光学装置を正常動作させるために切断する必要があるので、本願出願人は、その途中の工程を兼用して短絡用配線の上に切断用孔を形成しておき、これらの切断用孔を介して短絡用配線の所定位置を切断し、短絡用配線と走査線、あるいはデータ線との分離を行う方法を提案している（特公平8-14667号公報参照）。

【0006】また、本願出願人は、短絡用配線を形成・切断することによって静電気に対処する手法を、上述したデータ線駆動回路や走査線駆動回路等に対しても、略同様に適用することを提案している（特公平11-95257号公報参照）。

【0007】

【発明が解決しようとする課題】しかしながら、上述の短絡用配線の形成・切断においては、次のような問題があった。すなわち、近年、電気光学装置の高精細化・微細化や高開口率の達成という一般的要請に沿うべく、該電気光学装置を構成する各種回路素子及び配線等は、各種層間絶縁膜等を介して、基板に対して鉛直方向に積層

4

化された構造をとる傾向にあり、その結果、これら各種回路素子及び配線等は、いわば「高層化」されるようになっている。つまり、従前に比べて、電気光学装置の「高さ」が大きくなっているのである。そして、このような高層化が進むと、上述した短絡用配線の形成・切断における、切断工程が首尾よく行えないという問題点が生ずるのである。

【0008】例えば、走査線形成工程との兼用による短絡用配線の形成は、電気光学装置の製造工程の比較的初段に行われ、短絡用配線の切断は、当該工程の比較的后段に行われることが想定されるから、この切断は、「高層化」された各種層間絶縁膜等を前提として行わなければならないことになる。ここで更に、該切断を、フォトリソグラフィ法を利用して実施することを考えると、まず高層化された各種層間絶縁膜等に対して上記切断用孔を形成するとともに、該孔の底部及び最上層の層間絶縁膜等にレジストを塗布して露光・現像を実施した後エッチングを行うことになるが、上述のように、高層化された層間絶縁膜等に前記切断用孔を形成すると、その深さは大きくなってしまふことから、該孔の底部に存在するレジストに対する露光を効果的に実施することができなくなる。したがって、該孔の底部におけるレジストは残存することになり、その結果、短絡用配線の切断が十分に行えないといった不具合が生じる。

【0009】これに対処するため、例えば、レジストに対する露光量を大きくすることも考えられる。つまり、露光量を大きくすることによって、切断用孔の底部にまで十分に光が達するように、ないし該底部におけるレジストを十分に露光することができるようにするのである。しかしながら、このような手法では、層間絶縁膜等の上に存在するレジストにとっては、過ぎた露光量となってしまう、ハレーション等の問題が生じかねない。ここに、「ハレーション」とは、露光された光が例えばメタル層等の表面で想定外の方法に反射等することをいう。このようなハレーションが生じると、本来は、露光されるべきでない部分までが露光されることにより、例えば、溝の開口寸法等の制御等が正確に行えなくなるといった問題が新たに生ずる結果となる。

【0010】本発明は、上記問題点に鑑みてなされたものであり、短絡用配線を形成することによる静電気対策を効果的に実施することが可能であるとともに、その切断を確実に実施し得る素子基板装置の製造方法、電気光学装置の製造方法、並びにレチクルを提供することを課題とする。

【0011】

【課題を解決するための手段】本発明の素子基板装置の製造方法は、上記課題を解決するために、複数の画素電極と、該複数の画素電極の各々に接続された複数の薄膜トランジスタと、該複数の画素電極を駆動するため前記複数の薄膜トランジスタに接続された配線とを備える素

(4)

5

子基板装置を製造する素子基板装置の製造方法であつて、前記配線間を接続する短絡用配線を形成する工程と、前記短絡用配線上に層間絶縁膜を形成する工程と、前記短絡用配線上の前記層間絶縁膜に対して切断用孔を形成する工程と、前記切断用孔を形成後に前記層間絶縁膜上及び前記短絡用配線上にレジストを塗布する工程と、前記切断用孔に対向する位置において一の光透過率を有し且つ該切断用孔に対向しない位置において前記一の光透過率よりも低い他の光透過率を有するとともに、前記切断用孔に対向する位置を除く領域内に所定パターンの薄膜が形成されてなるレチクルを用いて、前記レジストを露光する工程と、前記レジストの除去後に前記切断用孔を利用して前記短絡用配線を切断する工程とを含む。

【0012】本発明の素子基板装置の製造方法によれば、まず、画素電極を駆動するため、これに接続された薄膜トランジスタに接続された配線間を接続する短絡用配線が形成される。ここに配線とは、具体的には例えば、走査線、あるいはデータ線等が該当する。この短絡用配線の存在により、以降の製造プロセスにおいて、たとえ静電気が発生するようなことがあっても、該静電気は、配線及び該短絡用配線を通じてこれを拡散させることが可能となり、あるいはまた、静電気の発生により仮に短絡用配線に電位変動しても薄膜トランジスタにおける相互に短絡されたゲート、ソース及びドレイン間には電位差を殆ど生じないため、例えば上述の薄膜トランジスタをはじめ、その他必要に応じて設けられる基板上の回路素子が静電破壊することを未然に防止することが可能となる。

【0013】次に、この短絡用配線上に層間絶縁膜が形成される。この層間絶縁膜により、例えば、薄膜トランジスタを構成する半導体層、同じく薄膜トランジスタを構成するゲート電極を含む走査線、該薄膜トランジスタに接続されるデータ線、あるいは該薄膜トランジスタに接続される蓄積容量を構成する電極等、いずれも基板上で積層されて形成される各種構成要素間で短絡を生じさせないことが可能となるとともに、上述した各種構成要素を基板面に対して鉛直方向に、いわば「高層化」することが可能となる。すなわち、本発明によれば、電気光学装置の微細化・高精細化に対応することが可能となるのである。

【0014】そして次に、前記短絡用配線上、かつ、いま述べた層間絶縁膜に対して、切断用孔を形成した後、前記層間絶縁膜上及び前記短絡用配線上にレジストを塗布する。ここで、短絡用配線上に対するレジストの塗布は、前記切断用孔を利用して行われることは言うまでもない。したがって、本発明に係るレジストの塗布は、切断用孔の底部、すなわち短絡用配線上と、層間絶縁膜上というように、高さ方向に相違がある各面に対して行われることになる。とりわけ、本発明においては、

6

上述したように、高層化することが可能であるから、一般に切断用孔の深さは大きく、したがって、上記「高さ方向に相違がある各面」は、相当程度距離をおいた各面となることが想定される。

【0015】ここで特に、本発明においては、切断用孔に対向する位置において一の光透過率を有し、該切断用孔に対向しない位置において前記一の光透過率よりも低い他の光透過率を有するレチクルを用いて、前記レジストを露光する。つまり、このようなレチクルを用いれば、同一強度となる一つの露光光源を用いたとしても切断用孔が存在する位置における露光量は大きく（なぜなら、露光光は一の光透過率を有する部位を透過するから）、該孔が存在しない位置における露光量は小さくなる（なぜなら、露光光は一の光透過率よりも低い他の光透過率を有する部位を透過するから）。したがって、本発明によれば、切断用孔の底部、すなわち短絡用配線上のレジストに対しては、十分な露光が行われる可能性を高めるとともに、層間絶縁膜上に存在するレジストに対しては、過分な露光が行われず、ハレーション等の発生する可能性を低減することが可能となるのである。したがって、本発明によれば、切断用孔の底部におけるレジストの除去を確実に実施し得、その結果、短絡用配線の切断も確実に実施し得ることになる。

【0016】そしてまた、本発明に係るレチクルでは、前記切断用孔に対向する位置を除く領域内に所定パターンの遮光膜が形成されてなる。このことは、露光光の進行が該遮光膜の存在によってほぼ完全に遮られることを意味し、別の観点、すなわちこの遮光膜が存在する部位と存在しない部位という観点から言えば、本発明に係るレチクルにより、通常のパターニングが実施され得ることを意味するに他ならない。言い換えれば、所定パターンの遮光膜が存在する部位では、前記他の光透過率よりも更に低い光透過率を有する形態が一般的に想定されることになる。

【0017】要するに、本発明によれば、短絡用配線に対しては、強力な露光を行って、切断用孔の底部におけるレジストの残留を低減できると同時に、通常のパターニングにおける露光、すなわち遮光膜により遮られる露光光と、遮光膜が存在せず且つ他の光透過率を有する部位を透過する露光光とにおいて、後者の露光量が適度に抑えられることにより、ハレーション防止等を実現し得、その結果、高精度のパターニングを行えるのである。

【0018】なお、上述した一の光透過率及び他の光透過率の具体的な値は、上記層間絶縁膜の厚さがどの程度であるか、あるいは切断用孔の底部と当該層間絶縁膜上との高さの差がどの程度であるか、また、塗布するレジストの性質や、露光光源の性質等その他当該レチクルを利用して露光を行うステップの性能等の具体的事情によって、適宜変わり得る。

(5)

7

【0019】ただし、これらの光透過率間に多少なりとも差が有れば、切断用孔の底部のレジストに対して露光量を相対的に増加させつつ層間絶縁膜上に存在するレジストに対して露光量を相対的に減少させることは可能となる。

【0020】本発明の素子基板装置の一態様では、前記配線は、走査線を含む。

【0021】この態様によれば、配線が走査線を含むことから、短絡用配線によって電氣的に接続されるのは、少なくとも該走査線を含むことになる。したがって、本態様によれば、走査線を通じた静電気によって、薄膜トランジスタが静電破壊することを未然に防止することが可能となる。

【0022】本発明の素子基板装置の他の態様では、前記配線は、データ線を含む。

【0023】この態様によれば、配線がデータ線を含むことから、短絡用配線によって電氣的に接続されるのは、少なくとも該データ線を含むことになる。したがって、本態様によれば、データ線を通じた静電気によって、薄膜トランジスタが静電破壊することを未然に防止することが可能となる。

【0024】このような、前記配線が走査線、あるいはデータ線を含む態様にあつては特に、前記配線は、前記走査線に接続された走査線駆動回路又は前記データ線に接続されたデータ線駆動回路の少なくとも一方を駆動するための信号を供給する信号配線を含むようにするとよい。

【0025】このような構成によれば、例えば、一般にCMOS型等の薄膜トランジスタその他の回路素子を含む走査線駆動回路又はデータ線駆動回路を駆動するための信号を供給する信号配線が、短絡用配線によって電氣的に接続されることになる。したがって、本態様によれば、該走査線駆動回路及び該データ線駆動回路等においても、静電破壊等の不具合を発生させる可能性を低減することができ、より信頼性の高い素子基板装置を製造することができる。

【0026】本発明の素子基板装置の製造方法の他の態様では、当該素子基板装置は、マザー基板上に複数形成されるとともに該マザー基板を切断線に沿って分断することにより形成されるものであり、前記短絡用配線と電氣的に接続された基板装置間短絡用配線を前記マザー基板上の前記切断線に沿って形成する工程と、前記切断線に沿った分断を実施することにより前記基板装置間短絡用配線を当該素子基板装置間で分断する工程とを更に含む。

【0027】この態様によれば、マザー基板上に当該素子基板装置が複数形成された状態で、前記短絡用配線と電氣的に接続された基板装置間短絡用配線が形成される。このため、各素子基板装置は、マザー基板上でそれぞれ短絡されることになるとともに、基板上に発生した

8

静電気は、走査線、データ線及び信号配線等の配線又は短絡用配線を通じて、基板装置間短絡用配線へと至り、該静電気は、基板の外周へと拡散させられることになる。したがって、本態様によれば、上述にも増して、該装置を構成する各種回路素子において、静電破壊を生じさせる恐れが低減されることになる。

【0028】そして、本態様では、切断線に沿った分断の実施をもって前記基板装置間短絡用配線の当該素子基板装置間における分断が実現することにより、個々の素子基板装置が形成される。したがって、その後製造される各電気光学装置における動作が、基板装置間短絡用配線によって妨害されることがない。

【0029】本発明の素子基板装置の製造方法の他の態様では、前記層間絶縁膜を形成する工程の後、前記切断用孔を形成する工程の前に、前記層間絶縁膜上に蓄積容量を形成する工程と、該蓄積容量上に他の層間絶縁膜を形成する工程とを更に含む。

【0030】この態様によれば、短絡用配線上に、前記層間絶縁膜のほか、蓄積容量及び他の層間絶縁膜が別途形成されることから、切断用孔の深さは、より大きくなることになる。したがって、本態様によれば、短絡用配線上のレジストに対しては十分な露光を行うことが可能であるとともに、他の層間絶縁膜上に存在するレジストに対しては、過分な露光を行うことがないという本発明に係る効果を、より顕著に享受することが可能となる。

【0031】本発明の素子基板装置の製造方法の他の態様では、前記レチクルにおいて前記他の光透過率を有する部位には、薄膜が形成されている。

【0032】この態様によれば、例えば、光吸収性をもつ、あるいは光反射性をもつ薄膜が、レチクルにおける前記他の光透過率を有する部位（すなわち、切断用孔に対向しない位置）において形成されていることから、前記一の光透過率よりも低い他の光透過率を有する部位を、比較的容易に製造すること、ないし現出させることが可能となる。

【0033】なお、薄膜の材質としては、例えば、ITO (Indium Tin Oxide) や SiN_x (窒化シリコン) 等をあてることが可能である。

【0034】この他の透過率を有する部位に薄膜を形成する態様では特に、前記薄膜は、前記レチクル上における前記遮光膜上に形成されるようにするとよい。

【0035】この構成によれば、薄膜の形成について特段の配慮（すなわち、例えば遮光膜形成位置を避けて薄膜を形成する等）を行う必要がなく、本発明に係るレチクルを容易に製造することが可能となる。

【0036】なお、レチクル上に薄膜を形成し、その上に遮光膜を形成する構成を採用することも可能である。

【0037】上述のレチクルに薄膜を形成する態様、あるいは遮光膜上に薄膜を形成する構成では特に、前記薄膜の少なくとも一部は、前記レチクルと同一の屈折率を

(6)

9

有するようにするとよい。

【0038】このような構成によれば、薄膜がレチクルと同一の屈折率を有することにより、一の光透過率を有する部位と他の光透過率を有する部位とのそれぞれを透過する光は、例えば異なる光路をとるようなことがなくなる。つまり、当該薄膜及びレチクル本体とでは同一の光路をとって光が進行することになる。したがって、所望外の箇所に露光が行われるようなことがなく、精度高く素子基板装置を製造することが可能となる。

【0039】なお、本構成の要件を満たすような材料としては、例えば SiO_2 等を挙げることができる。

【0040】また、本構成において、「薄膜の少なくとも一部」とは、前記他の光透過率を有する部位に形成される薄膜の全面において、その少なくとも一部ということの意味する。すなわち、より具体的には、例えば、他の光透過率を有する部位における一の領域においては、屈折率が同一の薄膜が形成され、他の領域においては、そうでない薄膜が形成される、等といった形態を想定することが可能である。いずれにせよ、そのような形態等であっても、本発明の範囲内にあることに変わりはない。

【0041】さらに、本発明にいう「同一の屈折率」とは、レチクルと薄膜との両屈折率が完全に同一である他、両屈折率の差に起因する光反射が当該製造方法におけるレジストを露光する工程の実用上の妨げとならない程度に、両屈折率が同一であることをいい、その程度は、製造装置の仕様や製造条件に依存して決定されるものである。そして、この同一の程度は、実験的、経験的、理論的或いはシミュレーションによって実際に使用される製造装置や製造条件に応じて個別具体的に定めればよい。

【0042】また、上述のレチクルに薄膜を形成する態様、遮光膜上に薄膜を形成する構成、あるいは該薄膜の少なくとも一部がレチクルと同一の屈折率を有するような構成では特に、前記薄膜の少なくとも一部は、相異なる複数の材料により構成された積層構造を有するようにするとよい。

【0043】このような構成によれば、薄膜が相異なる複数の材料により構成された積層構造を有することにより、レチクル上の光透過率をよりきめ細かに設定することが可能となり、正確な露光工程の実施に資する。例えば、該薄膜の一の部位においては上述の積層構造、他の部位においては積層構造でない単層構造をとる場合を仮定すると、本構成によれば、当該一の部位で最も弱い露光が行われ、当該他の部位で中間の露光が行われ、前記一の光透過率を有する部位、すなわち薄膜が形成されていない部位で最も強い露光が行われる、等とすることが可能となる。むろん、薄膜を三層以上の積層構造とする場合も、当然に本発明の範囲内に含まれる。

【0044】なお、本構成に係る「少なくとも一部」の

10

意義は、上述と同様である。

【0045】また、他の光透過率を有する部位は、一の光透過率を有する部位と同一又は異なる膜からなり且つ厚く形成されていてもよい。

【0046】本発明の基板装置の製造方法の他の態様では、前記画素電極に代えてストライプ状電極を備え、前記配線は前記ストライプ状電極に直接接続されてなり、前記配線に接続され、前記ストライプ状電極を駆動するための、他の薄膜トランジスタを含む駆動回路部が更に備えられてなる。

【0047】この態様によれば、例えば、いわゆるパッシブマトリクス駆動が可能な素子基板装置において、ストライプ状電極を駆動するための駆動回路部に含まれる、他の薄膜トランジスタにつき、その静電破壊を防止することが可能となる。

【0048】本発明の電気光学物質の製造方法は、上記課題を解決するため、上述した素子基板装置の製造方法（ただし、各種態様を含む。）により当該素子基板装置を製造する工程と、該素子基板装置に対向するように対向基板を相接着する工程と、前記素子基板装置及び前記対向基板間に電気光学物質を封入する工程とを含む。

【0049】本発明の電気光学物質の製造方法によれば、静電破壊した薄膜トランジスタ等を含むことのない、適正な電気光学装置を製造することができる。

【0050】本発明のレチクルは、上記課題を解決するため、半導体プロセスにおいて使用されるレチクルであって、その少なくとも一の部位において一の光透過率を有するとともに、他の部位において前記一の光透過率よりも大きい他の光透過率を有し、前記他の部位の少なくとも一部には、所定パターンの遮光膜が形成されており、前記一の部位の少なくとも一部には、前記遮光膜が形成されていない。

【0051】本発明のレチクルによれば、上述したことから明らかな通り、本発明の素子基板装置の製造方法、又は本発明の電気光学装置の製造方法において、好適に利用することが可能となる。

【0052】なお、本発明にいう「半導体プロセス」とは、例えばフォトリソグラフィ技術を念頭において考えることができる。

【0053】本発明のレチクルの一態様では、前記他の透過率を有する部位には、薄膜が形成されている。

【0054】本態様によれば、例えば、光吸収性をもつ、あるいは光反射性をもつ薄膜が、レチクルにおける前記他の光透過率を有する部位において形成されていることから、前記一の光透過率よりも低い他の光透過率を有する部位を、比較的容易に製造すること、ないし現出させることが可能となる。

【0055】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0056】

(7)

11

【発明の実施の形態】以下では、本発明の実施の形態について図を参照しつつ説明する。

【0057】（アクティブマトリクス基板の全体構成）まず、本発明の素子基板装置の実施の形態として、液晶装置用のアクティブマトリクス基板を例にあげ、図1から図4を参照しながら説明する。ここに図1は、液晶表示パネルに用いられる駆動回路内蔵型のアクティブマトリクス基板の構成を模式的に示すブロック図である。また、図2は、図1に示す端子800、801、802…に対応するように層間絶縁膜に対して形成される開口部分及び該端子800、801、802…と図1に示す短絡用配線との電気的な接続を図るため層間絶縁膜に対して形成されるコンタクトホールとを示す平面図であり、図3は、図1に示す静電保護回路150及び151の詳細な構成を示すブロック図であり、図4は、図1に示す信号配線72及び73と、後に詳述する第1短絡用配線91との配置態様の詳細を示す平面図である。

【0058】図1に示すように、本実施形態の液晶表示パネルに用いられる駆動回路内蔵型のアクティブマトリクス基板AMでは、例えば石英といったガラス等の絶縁性の材料により構成されたTFTアレイ基板10上に、互いに交差する複数の走査線3aと複数のデータ線6aとによって画素電極9aがマトリクス状に構成されている。ここに、走査線3a及びデータ線6aは、本発明にいう「配線」の一例に該当する。走査線3aはドーパシリコン膜で構成され、データ線6aはアルミニウム膜等の金属膜あるいは合金膜で構成されている。また、画素電極9aがマトリクス状に形成されている領域全体をもって、画像表示領域10aが規定される。

【0059】TFTアレイ基板10上における画像表示領域10aの外側領域（周辺部分）には、複数のデータ線6aのそれぞれに、画像信号を供給するデータ線駆動回路101が構成されている。また、走査線3aの両端部のそれぞれには、各々の走査線3aに画素選択用の走査信号を供給する走査線駆動回路104が構成されている。

【0060】データ線駆動回路101には、X側シフトレジスタ回路、X側シフトレジスタ回路から出力された信号に基づいて動作するアナログスイッチとしてのTFTを備えるサンプルホールド回路S/H、例えば6相に展開された各画像信号VID1～VID6に対応する6本の画像信号線video等が構成されている。本実施形態において、データ線駆動回路101は、前記のX側シフトレジスタ回路が4相で構成されており、端子を介して外部から、スタート信号DX、クロック信号CLX1～CLX4、及びその反転クロック信号CLX1バー～CLX4バーがX側シフトレジスタ回路に供給され、これらの信号によってデータ線駆動回路101が駆動される。従って、サンプルホールド回路S/Hは、前記のX側シフトレジスタ回路から出力された信号に基づいて

12

各TFTが動作し、画像信号線videoを介して供給される画像信号VID1～VID6を所定のタイミングでデータ線6aに取り込み、各画素電極9aに供給することが可能である。

【0061】一方、走査線駆動回路104には、端子を介して外部からスタート信号DY、クロック信号CLY、及びその反転クロック信号CLYバーが供給され、これらの信号によって走査線駆動回路104が駆動される。

【0062】なお、図1においては、走査線駆動回路104が図中左方及び右方に二つ、データ線駆動回路101が図中下方に一つ設けられるような形態が示されているが、走査線3aに供給される走査信号遅延が問題とならないならば、走査線駆動回路104は図中左方又は右方の一方のみに設ける形態としてよいし、また、データ線駆動回路101を画像表示領域10aの辺に沿って両側に配列するような形態としてもよいことは言うまでもない。

【0063】本実施形態のアクティブマトリクス基板AMにおいて、TFTアレイ基板10の辺部分のうち、データ線駆動回路101が構成されている側の辺部分には定電源VDDX、VSSX、VDDY、VSSY、変調画像信号（画像信号VID1～VID6）、各種駆動信号等が入力されるアルミニウム膜等の金属膜、金属シリサイド膜、あるいはITO膜等の導電膜からなる多数の端子800、801、802…が構成されている。

【0064】これらの端子800、801、802…は、TFTアレイ基板10上に形成された後述の第2層間絶縁膜42の上に形成されているとともに、やはり後述の第3層間絶縁膜43に設けられた開口部分43aで外部に露出された形で形成されている。このような端子800、801、802…、すなわちパッドを利用することにより、本実施形態に係るアクティブマトリクス基板AMと外部端子との接続が可能になっている。そして、後述する第1～第3短絡用配線91～93は、第1層間絶縁膜41の下層として走査線3aと同時に形成されるため、第1～第3短絡用配線91～93の一部である端子下シート膜94と端子800、801、802…との電気的な接続は、図2に示すように、後述する第1及び第2層間絶縁膜41及び42に形成されたコンタクトホール89によって行われている。

【0065】また、図1に戻り、これらの端子800、801、802…からは、走査線駆動回路104及びデータ線駆動回路101を駆動するためのアルミニウム膜等の低抵抗な金属膜や金属シリサイド膜からなる複数の信号配線72及び73がそれぞれ引き回されている。ここに、信号配線72及び73は、上述の走査線3a及びデータ線6aに加えて、本発明にいう「配線」の一例に該当する。

【0066】この信号配線72、73の途中位置には、

(8)

13

静電保護回路150及び151が形成されている。ここに静電保護回路150及び151としては、各種回路を利用できるが、例えば図3に示すものでは、保護抵抗66と、プッシュプル配列されたPチャネル型TFT67及びNチャネル型TFT68とを利用しており、それぞれの正電源VDD及び負電源VSSとの間にダイオードを構成する。ここで特に本実施形態では、第1短絡用配線91を信号配線72（又は73）に接続するのは、端子800（又は801、802）と保護抵抗66との間であり、これにより、端子800（又は801、802）、あるいは第1の短絡用配線91から入った静電気は、保護抵抗66及び静電気保護回路150（又は151）を通過しないとデータ線駆動回路101及び走査線駆動回路104に達しない。このような構成とすることで、静電気は静電気保護回路150（又は151）に確実に吸収され、データ線駆動回路101及び走査線駆動回路104を確実に保護することができる。

【0067】なお、図1に戻り、アクティブマトリクス基板AMと、図1においては示されていない対向基板とは、外部から入力される対向電極電位LCCOMが上下導通材により対向基板に供給されている（対向基板及び導通材については、図12及び図13参照）。

【0068】ここで特に、本実施形態においては、図1に示すように、第1～第3短絡用配線91～93がそれぞれ所定の位置に形成されている。ここで、第1短絡用配線91は、すべての信号配線72及び73に電気的に接続され、第2短絡用配線92はすべての走査線3aに電気的に接続され、第3短絡用配線93はすべてのデータ線6aに電気的に接続されている。本実施形態においては、これら第1～第3短絡用配線91～93は、いずれについても、走査線3a及びTFT30のゲート電極を形成する工程と同時に、すなわち該工程を兼用して形成されている（後の製造方法で詳述する。）。また、その材料は例えばポリシリコン膜を含むもの等として構成されている。

【0069】ただし、上記のうち第1及び第3短絡用配線91及び93については、本実施形態において次に記すような構成となっている。すなわち、これら第1及び第3短絡用配線91及び93は、今しがた述べたように、走査線3a等と同時に形成されることにより、第1短絡用配線91が、TFTアレ基板10上において信号配線72及び73と同一層に存在することにはならず、第3短絡用配線93は、同じくデータ線6aと同一層に存在することにならない（後に参照する図6、あるいは後述する製造方法に関する説明を参照）。したがって、本実施形態では、図4に示すように、第1短絡用配線91と信号配線72及び73との間には、当該層間に介在する後述の第1及び第2層間絶縁膜41及び42を貫通するコンタクトホール403が設けられている。また、図示はしないが、第3短絡用配線93とデータ線6

14

aとの間についても、同様にしてコンタクトホールが設けられる。このようにすることで、それぞれの組み合わせにおいて、各両者の電気的接続が図られるようになっている。

【0070】また、これら第1～第3短絡用配線91～93は、アクティブマトリクス基板AMの製造工程が終了した後（すなわち、どんなに遅くとも出荷時）には、その存在がかえって装置の通常動作にとって有害なものとなるので、該製造工程中における適当な段階において、図1に「×」印を付した位置で切断される。この切断は、後の製造方法でも述べるように、例えば上記第1～第3短絡用配線91～93上の第1、第2及び第3層間絶縁膜41、42及び43に対して切断用孔880を形成し、この切断用孔880を利用して第1～第3の短絡用配線91～93に対するエッチングを行う、等の手法によって実現することができる。そして、本実施形態では特に、この切断用孔880を利用したエッチングによる短絡用配線の切断時において、一の光透過率を有する部位及びこれよりも低い他の光透過率を有する部位をそれぞれ備えたレチクルを利用することに特色があるが、その詳細な説明は後述の製造方法に譲ることとする。

【0071】次に、図5及び図6を参照して、上記した画素電極9a周囲のより詳しい構成、並びに該画素電極9a、TFT等を含む、TFTアレ基板10上に形成される積層構造について詳しく説明する。ここに、図5は、データ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図であり、図6は、図5のA-A'断面図である。なお、図6においては、各層・各部材を図面上で認識可能な程度の大きさとするため、該各層・各部材ごとに縮尺を異ならしめてある。

【0072】図5において、電気光学装置のTFTアレ基板10上には、既に述べたように、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a及び走査線3aが設けられている。

【0073】このうちデータ線6aは、既に述べたように、例えばなアルミニウム膜等の金属膜あるいは合金膜で構成されるが、本実施形態においては、該データ線6aの形成工程において、該データ線6aと同時に上述した信号配線72及び73が形成されることになる。

【0074】また、走査線3aは、半導体層1aのうち図5中右上がりの斜線領域で示したチャネル領域1a'に対向するように配置されており、走査線3aはゲート電極として機能する。すなわち、走査線3aとデータ線6aとの交差する箇所にはそれぞれ、チャネル領域1a'に走査線3aの本線部がゲート電極として対向配置された画素スイッチング用のTFT30が設けられてい

(9)

15

る。

【0075】TFT30は、図6に示すように、LDD (Lightly Doped Drain) 構造を有しており、その構成要素としては、上述したようにゲート電極として機能する走査線3a、例えばポリシリコン膜からなり走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁膜2、半導体層1aにおける低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを備えている。

【0076】ちなみに、上記したゲート電極を含む走査線3aの形成工程では、後の製造方法で詳しく説明するように、該走査線3aと同時に、上述した第1～第3短絡用配線91～93が形成されることになる。

【0077】なお、TFT30は、好ましくは図6に示したようにLDD構造をもつが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造をもってよいし、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース領域及び高濃度ドレイン領域を形成するセルフアライン型のTFTであってもよい。また、本実施形態では、画素スイッチング用TFT30のゲート電極を、高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート、あるいはトリプルゲート以上でTFTを構成すれば、チャネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。

【0078】一方、図5及び図6に示すように、TFT30の高濃度ドレイン領域1e及び画素電極9aに接続された画素電位側容量電極としての中継層71と、固定電位側容量電極としての容量線300の一部とが、誘電体膜75を介して対向配置されることにより、蓄積容量70が形成されている。この蓄積容量70によれば、画素電極9aにおける電位保持特性を顕著に高めることが可能となる。

【0079】中継層71は、例えば導電性のポリシリコン膜からなり画素電位側容量電極として機能する。ただし、中継層71は、後に詳述する容量線300と同様に、金属又は合金を含む単一層膜又は多層膜から構成してもよい。中継層71は、画素電位側容量電極としての機能のほか、コンタクトホール83及び85を介して、画素電極9aとTFT30の高濃度ドレイン領域1eとを中継接続する機能をもつ。

【0080】この中継層71は、画素電位側容量電極としての機能のほか、コンタクトホール83及び85を介して、TFT30における半導体層1aのうち高濃度ドレイン領域1eと画素電極9aとの接続を中継する機能

16

を果たす。

【0081】このように中継層71を利用すれば、層間距離が例えば2000nm程度と長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ、比較的小径の二つ以上の直列なコンタクトホールで両者間を良好に接続することができ、画素開口率を高めることが可能となる。また、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。

【0082】容量線300は、例えば金属又は合金を含む導電膜からなり固定電位側容量電極として機能する。この容量線300は、平面的に見ると、図5に示すように、走査線3aの形成領域に重ねて形成されている。より具体的には容量線300は、走査線3aに沿って延びる本線部と、図中、データ線6aと交差する各個所からデータ線6aに沿って上方に夫々突出した突出部と、コンタクトホール85に対応する個所が僅かに括れた括れ部とを備えている。このうち突出部は、走査線3a上の領域及びデータ線6a下の領域を利用して、蓄積容量70の形成領域の増大に貢献する。

【0083】このような容量線300は、好ましくは高融点金属を含む導電性遮光膜からなり、蓄積容量70の固定電位側容量電極としての機能のほか、TFT30の上側において入射光からTFT30を遮光する遮光層としての機能をもつ。

【0084】また、容量線300は、好ましくは、画素電極9aが配置された画像表示領域10aからその周囲に延設され、定電位源と電気的に接続されて、固定電位とされる。このような定電位源としては、データ線駆動回路101に供給される正電源や負電源の定電位源でもよいし、対向基板の対向電極に供給される定電位でも構わない。

【0085】誘電体膜75は、図6に示すように、例えば膜厚5～200nm程度の比較的薄いHTO (High Temperature Oxide) 膜、LTO (Low Temperature Oxide) 膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。蓄積容量70を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜75は薄いほどよい。

【0086】図5及び図6においては、上記のほか、TFT30の下側に、下側遮光膜11aが設けられている。下側遮光膜11aは、格子状にパターンニングされており、これにより各画素の開口領域を規定している。また、開口領域の規定は、図5中縦方向に延びるデータ線6aと図5中横方向に延びる容量線300とが相交差して形成されることによって、なされている。

【0087】なお、下側遮光膜11aについても、前述の容量線300の場合と同様に、その電位変動がTFT30に対して悪影響を及ぼすことを避けるために、画像表示領域からその周囲に延設して定電位源に接続するとよい。

50

(10)

17

【0088】また、TFT30下には、下地絶縁膜12が設けられている。下地絶縁膜12は、下側遮光膜11aからTFT30を層間絶縁する機能のほか、TFTアレ基板10の全面に形成されることにより、TFTアレ基板10の表面研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用のTFT30の特性変化を防止する機能を有する。

【0089】走査線3a上には、高濃度ソース領域1dへ通じるコンタクトホール81及び高濃度ドレイン領域1eへ通じるコンタクトホール83がそれぞれ開孔された第1層間絶縁膜41が形成されている。

【0090】第1層間絶縁膜41上には、中継層71、及び容量線300が形成されており、これらの上には高濃度ソース領域1dへ通じるコンタクトホール81及び中継層71へ通じるコンタクトホール85がそれぞれ開孔された第2層間絶縁膜42が形成されている。

【0091】ちなみに、本実施形態においては、上記第1及び第2層間絶縁膜41及び42に対し、いま述べたコンタクトホール81、83及び85に加えて、上述した第1短絡用配線91と信号配線72及び73との電気的接続を図るためのコンタクトホール403、あるいは第3短絡用配線93とデータ線6aとの電気的接続を図るためのコンタクトホールが形成されることになる(図6において不図示)。

【0092】なお、本実施形態では、第1層間絶縁膜41に対しては、約1000℃の焼成を行うことにより、半導体層1aや走査線3aを構成するポリシリコン膜に注入したイオンの活性化を図ってもよい。他方、第2層間絶縁膜42に対しては、このような焼成を行わないことにより、容量線300の界面付近に生じるストレスの緩和を図るようにしてもよい。

【0093】第2層間絶縁膜42上には、データ線6aが形成されており、これらの上には中継層71へ通じるコンタクトホール85が形成された第3層間絶縁膜43が形成されている。

【0094】第3層間絶縁膜43の表面は、CMP (Chemical Mechanical Polishing) 処理等により平坦化されており、その下方に存在する各種配線や素子等による段差に起因する液晶層50の配向不良を低減する。ただし、このように第3層間絶縁膜43に平坦化処理を施すのに代えて、又は加えて、TFTアレ基板10、下地絶縁膜12、第1層間絶縁膜41及び第2層間絶縁膜42のうち少なくとも一つに溝を掘って、データ線6a等の配線やTFT30等を埋め込むことにより、平坦化処理を行ってもよい。

【0095】ちなみに、本実施形態においては、上記第1、第2及び第3層間絶縁膜41、42及び43に対し、上述したコンタクトホール81、83及び85、並びに403に加えて、上述した第1～第3短絡用配線91～93を切断するための切断用孔880が形成される

18

ことになるが、この点については、後の製造方法において詳述することとする。

【0096】更に上記の他、図6に示すように、TFTアレ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは、例えばITO膜等の透明導電性膜からなる。また、配向膜16は、例えばポリイミド膜等の有機膜からなる。

【0097】本実施形態においては、以上述べたように、TFT30を構成する半導体層1a、絶縁膜2、該TFT30を構成するゲート電極を含む走査線3a、また、蓄積容量70を構成する中継層71、容量線300及び誘電体膜75、更には、各種層間絶縁膜41、42及び43等が、TFTアレ基板10上に積層化されて、言い換えれば、いわば「高層化」されて形成されている。このことから、本実施形態に係る電気光学装置によれば、その微細化・高精細化に対応することが可能となる。しかしながら、この一方で、画素電極9aが設けられる第3層間絶縁膜43の図中上面と、走査線3aが位置する層までの図中上下方向の距離は、比較的大きくなることになる。

【0098】次に、図7及び図8を参照して、上述したようなアクティブマトリクス装置AMを複数備えるマザー基板の構成について説明する。ここに、図7は、図1に示すアクティブマトリクス基板をマザー基板上に配列形成した様子を示す平面図であり、図8は、図7に示すマザー基板における領域Aを拡大して示す平面図である。

【0099】図7及び図8において、マザー基板MM上には、各アクティブマトリクス基板AMの外周側に設けられた上記第1～第3の短絡用配線91～93との間で、電気的な接続がなされる基板装置間短絡用配線99が、該マザー基板MM上の切断線に沿って設けられている(図中点線で示されている。)。この基板装置間短絡用配線99の存在により、信号配線72及び73、走査線3a、あるいはデータ線6a等を通じた後、更に第1～第3短絡用配線91～93を通じて流れた静電気の電荷を、基板外周に拡散させることが可能となる。また、本実施形態では特に、第1～第3短絡用配線91～93と電気的に接続された基板装置間短絡用配線99は、隣接するアクティブマトリクス基板AMの間で最終工程まで互いに接続され、マザー基板MMの切断時にアクティブマトリクス基板AM間で切り離されるようになっている。このように構成しておく、基板装置間短絡用配線99を広範囲に分散した状態に配置した状態にしておけるので、電荷の集中を防ぎ、基板上に形成されたTFT30等その他の回路素子を静電破壊の危険から遠ざけることができるという本発明に係る効果を、さらに確実に享受することが可能となる。

【0100】(アクティブマトリクス基板の製造方法)

(11)

19

以下では、上述したようなアクティブマトリクス基板A Mの製造方法について、図9乃至図11を参照して説明する。ここに、図9乃至図11は、アクティブマトリクス基板の製造方法を示す工程断面図であり、いずれの図についても、その左方には図5のA-A'線における断面(TFT30を含む断面)、その中央部分には図4のB-B'線における断面(図1に「×」印で示した、短絡用配線の切断が行われる箇所を含む断面)、その右方には図2のC-C'線における断面(端子800、801、802、…が形成されている端子部の断面)を示すものである。なお、以下では、図9乃至図11における、これら左方、中央部分及び右方に係る部分を、それぞれ、画素TFT部、静電気対策配線部及び端子部と呼ぶことがある。

【0101】まず、図9(A)に示すように、ガラス基板、たとえば無アリカリガラスや石英等からなる透明なTFTアレイ基板10の表面に直接、あるいはTFTアレイ基板10の表面に形成した下地絶縁膜の表面全体に、減圧CVD法等により厚さが約20nm〜約200nm、好ましくは約100nmのポリシリコン膜からなる半導体膜1を形成した後、図9(B)に示すように、それをフォトリソグラフィ技術を用いて、パターニングし、画素TFT部の側に島状の半導体層1a(能動層)を形成する。このとき、静電気対策配線部及び端子部の側では半導体膜1を完全に除去する。前記の半導体膜の形成は、アモルファスシリコン膜を堆積した後、500℃〜700℃の温度で1時間〜72時間、好ましくは4時間〜6時間の熱処理を施してポリシリコン膜を形成したり、ポリシリコン膜を堆積した後、シリコンを打ち込み、非晶質化した後、熱処理により再結晶化してポリシリコン膜を形成する方法を用いてもよい。なお、図9乃至図11においては、図6で示した断面図とは異なり、説明を簡略化するため、下側遮光膜11及び下地絶縁膜12については、図示していない。

【0102】次に、図9(C)に示すように、熱酸化法等により半導体層1aの表面に厚さが約50nm〜約150nmのシリコン酸化膜からなるゲート酸化膜2を形成する。あるいは、熱酸化膜を約5nm〜約100nm、好ましくは30nm形成した後、全面にCVD法等によりシリコン酸化膜を約10nm〜約100nm、好ましくは50nm堆積し、それらによりゲート絶縁膜2を形成してもよい。また、ゲート絶縁膜2をさらに高耐圧化するためにシリコン窒化膜を用いてもよい。

【0103】次に、図9(D)に示すように、ゲート電極等を形成するためのポリシリコン膜3をTFTアレイ基板10全面に形成した後、リンを熱拡散し、ポリシリコン膜3を導電化する。または、リンをポリシリコン膜3の成膜と同時に導入したドーパントシリコン膜を用いてもよい。次に、ポリシリコン膜3をフォトリソグラフィ技術を用いて、図9(E)に示すように、パターニング

20

し、画素TFT部の側にゲート電極を含む走査線3aを形成する。このパターニングに際し、静電気対策配線部及び端子部の側では、ポリシリコン膜を、短絡用配線3b(上述した第1〜第3短絡用配線91〜93に相当する。)及び端子下シート膜3c(上述した端子下シート膜94に相当する。)として残す。すなわち、本実施形態では、第1〜第3短絡用配線91〜93は、TFT30のゲート電極を含む走査線3aを形成する工程と同時に、すなわち該工程を兼用して形成されることになる。

【0104】次に、図9(F)に示すように、画素TFT部及び駆動回路のNチャンネルTFT部の側には、ゲート電極3aをマスクとして、約 $0.1 \times 10^{13}/\text{cm}^2$ 〜約 $10 \times 10^{13}/\text{cm}^2$ のドーズ量で低濃度の不純物イオン979(リンイオン)の打ち込みを行い、画素TFT部の側には、ゲート電極3aに対して自己整合的に低濃度のソース領域1b、及び低濃度のドレイン領域1cを形成する。ここで、ゲート電極3aの真下に位置しているため、不純物イオン979が導入されなかった部分は半導体層1aのままのチャンネル領域となる。このようにしてイオン打ち込みを行った際には、ゲート電極3a、短絡用配線3b及び端子下シート膜3cとして形成されていたポリシリコン膜にも不純物が導入されるので、それらはさらに導電化することになる。

【0105】次に、図10(G)に示すように、画素TFT部では、ゲート電極3aよりの幅の広いレジストマスク959を形成して高濃度の不純物イオン980(リンイオン)を約 $0.1 \times 10^{15}/\text{cm}^2$ 〜約 $10 \times 10^{15}/\text{cm}^2$ のドーズ量で打ち込み、高濃度のソース領域1d及びドレイン領域1eを形成する。

【0106】これらの不純物導入工程に代えて、低濃度の不純物の打ち込みを行わずにゲート電極3aより幅の広いレジストマスク959を形成した状態で高濃度の不純物(リンイオン)を打ち込み、オフセット構造のソース領域及びドレイン領域を形成してもよい。また、ゲート電極3aの上に高濃度の不純物(リンイオン)を打ち込んで、セルフアライン構造のソース領域及びドレイン領域を形成してもよいことは勿論である。

【0107】また、図示を省略するが、周辺駆動回路のPチャンネルTFT部を形成するために、前記画素部及びNチャンネルTFT部をレジストで被覆保護して、ゲート電極をマスクとして、約 $0.1 \times 10^{15}/\text{cm}^2$ 〜約 $10 \times 10^{15}/\text{cm}^2$ のドーズ量でボロンイオンを打ち込むことにより、自己整合的にPチャンネルのソース・ドレイン領域を形成する。なお、NチャンネルTFT部の形成時と同様に、ゲート電極をマスクとして、約 $0.1 \times 10^{13}/\text{cm}^2$ 〜約 $10 \times 10^{13}/\text{cm}^2$ のドーズ量で低濃度の不純物(ボロンイオン)を導入して、ポリシリコン膜に低濃度領域を形成した後、ゲート電極よりの幅の広いマスクを形成して高濃度の不純物(ボロンイオン)を約 $0.1 \times 10^{15}/\text{cm}^2$ 〜約 $10 \times 10^{15}/\text{cm}^2$

(12)

21

のドーズ量で打ち込み、LDD構造（ライトリー・ドープト・ドレイン構造）のソース領域及びドレイン領域を形成してもよい。また、低濃度の不純物の打ち込みを行わずに、ゲート電極より幅の広いマスクを形成した状態で高濃度の不純物（リンイオン）を打ち込み、オフセット構造のソース領域及びドレイン領域を形成してもよい。これらのイオン打ち込み工程によって、CMOS化が可能になり、周辺駆動回路の同一基板内への内蔵化が可能となる。

【0108】次に、図10（H）に示すように、ゲート電極3a、短絡用配線3b及び端子下シート膜3cの表面側に、例えば、TEOS（テトラ・エチル・オルソ・シリケート）ガス、TEB（テトラ・エチル・ボートレート）ガス、TMOP（テトラ・メチル・オキシ・フォスレート）ガス等を用いた常圧又は減圧CVD法等により、NSG（ノンシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜からなる第1層間絶縁膜41を形成する。その厚さは、例えば約500nm～約1500nm程度とする。

【0109】次に、図10（I）に示すように、第1層間絶縁膜41に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、TFT30の高濃度ドレイン領域1eに達するようなコンタクトホール83を開孔した後、該第1層間絶縁膜41上に、Pt等の金属膜を、スパッタリングにより、100～500nm程度の膜厚に形成する。そして、フォトリソグラフィ及びエッチングにより、所定パターンをもつ中継層71を形成する。続いて、プラズマCVD法等により、TaOx膜等からなる誘電体膜75を、中継層71上に形成する。この誘電体膜75は、絶縁膜2の場合と同様に、単層膜又は多層膜のいずれから構成してもよく、一般にTFTゲート絶縁膜を形成するのに用いられる各種の公知技術により形成可能である。そして、誘電体膜75を薄くする程、蓄積容量70は大きくなるので、結局、膜破れなどの欠陥が生じないことを条件に、膜厚50nm以下のごく薄い絶縁膜となるように形成すると有利である。続いて、誘電体膜75上に、Al等の金属膜を、スパッタリングにより、約100～500nm程度の膜厚に形成する。そして、フォトリソグラフィ及びエッチングにより、所定パターンをもつ容量線300を形成する。これにより、この容量線300と前述の中継層71及び誘電体膜75とによって、蓄積容量70が完成する。なお、このとき、静電気対策配線部及び端子部においては、上述の中継層71及び容量線300が、フォトリソグラフィ及びエッチングによって、所定のパターンを有するようにパターニングされる際に、第1層間絶縁膜41上から取り除かれる。

【0110】次に、図10（J）に示すように、第1層

22

間絶縁膜41上及び上述の容量線300上に、例えば、TEOSガス等を用いた常圧又は減圧CVD法により、NSG、PSG、BSG、BPSG等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜42を形成する。その膜厚は、例えば約500～1500nm程度とする。続いて、フォトリソグラフィ技術を用いて、画素TFT部の側では第1層間絶縁膜41のうち、ソース領域1dに対応する部分、端子部の側では第1及び第2層間絶縁膜41及び42のうち、端子下シート膜3cに対応する部分にコンタクトホール81及び89をそれぞれ形成する。続いて、第2層間絶縁膜42の表面側に、ソース電極を構成するため、例えばアルミニウム膜をスパッタ法等で形成する。アルミニウム等の金属膜の他に、金属シリサイド膜や金属合金膜を用いてもよい。その後、フォトリソグラフィ技術を用いて、アルミニウム膜をパターニングし、画素TFT部では、データ線6aの一部としてソース電極を形成する。併せて、静電気対策配線部には信号配線6b（上述した信号配線72及び73に相当する。）を形成し、端子部の側では端子6c（上述した端子800、801、802・・・に相当する。）を形成する。

【0111】これら図10（J）の工程を利用して、図4を参照して説明した第1及び第3の短絡用配線91、93と、信号配線72、73及びデータ線6aとの配線接続が行われる。

【0112】次に、図10（K）に示すように、ソース電極6a、信号配線6b及び端子6cの表面側に、例えば、TEOSガス等を用いた常圧又は減圧CVD法により、NSG、PSG、BSG、BPSG等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜43を形成する。その膜厚は、例えば約500～1500nm程度とする。続いて、画素TFT部の側では、フォトリソグラフィ技術及びドライエッチング法等を用いて、第3層間絶縁膜43及び第2層間絶縁膜42のうち、前記中継層71に達するようなコンタクトホール85を形成する。併せて、静電気対策配線部の側では、短絡用配線3b（上述した第1～第3の短絡用配線91～93に相当する。）の上に切断用孔880を形成する。そして、本実施形態では特に、この切断用孔880は、図10（K）を見るとわかるように、中継層71、誘電体膜75及び容量線300の少なくとも3層からなる蓄積容量70や第3層間絶縁膜43等が形成された後に形成されていることからして、その開口部分から短絡用配線3bに至るまでの距離（すなわち、該切断用孔880の深さ）が大きくなるのがわかる。

【0113】次に、図11（L）に示すように、第3層間絶縁膜43の表面側に、厚さが約40nm～約200nmのITO膜をスパッタ法等で形成した後、フォトリソグラフィ技術を用いてITO膜をパターニングし、画素TFT部では画素電極9aを形成する。この画素電極

(13)

23

9aは、図に示す通り、コンタクトホール85、中継層71及びコンタクトホール83を介して、TFT30の高濃度ドレイン領域1eに接続されることになる。また、この画素電極9aの形成の際、静電気対策配線部及び端子部では、ITO膜は完全に除去される。ここで、画素電極9aとしては、ITO膜に限らず、SnOx膜やZnOx膜等の高融点の金属酸化物等からなる透明電極材料を使用することも可能であり、これらの材料であれば、コンタクトホール内でのステップカバレッジも実用に耐えるものである。

【0114】次に、図11(M)に示すように、第3層間絶縁膜43の表面側にレジスト901を塗布する。このレジスト901は、例えば図11(M)の静電気対策配線部を示す図にあらわれているように、一般に、第3層間絶縁膜43上と、短絡用配線3b上すなわち切断用孔880の底部とにおいて厚く形成され、該切断用孔880の側壁において薄く形成される。

【0115】そして本実施形態では特に、図11(M)に併せて示すように、切断用孔880に対向する位置において一の光透過率を有し、該切断用孔880に対向しない位置において前記一の光透過率よりも低い他の光透過率を有するレチクル950を用いて、前記レジスト901を露光する。すなわち、本実施形態において、この露光は、例えば同一強度となる一つの露光光源を用いつつ、切断用孔880が存在する位置における露光量は大きく、それが存在しない露光量は小さくなるようにして行われることになる。

【0116】本実施形態においては、上記したような異なる光透過率を有するレチクル950を実現するため、より具体的には例えば、図11(M)に示すように、該レチクル950の一部において薄膜950aを形成している。この薄膜950aは、例えば上記画素電極9aの材料として用いられていたITOや、またSiNx(窒化シリコン)等、あるいはレチクル950と屈折率が略同一となる、例えばSiO₂等からなるものとする。また、その厚さは、例えば100nm程度とするとよい。このような薄膜950aの存在により、該薄膜950aが形成された部位については、該薄膜950aが形成されていない部位に比べて光透過率が小さくなり、したがって露光量を小さくすることができる。特に、レチクル950の本体と屈折率が同一となる薄膜950aを利用することによれば、一の光透過率を有する部位と他の光透過率を有する部位とのそれぞれを透過する光は、例えば異なる光路をとるようなことがなくなる。つまり、該薄膜950a及びレチクル950の本体とでは同一の光路をとって光が進行することになる。したがって、所望外の箇所に露光が行われるようなことがなく、精度高く、素子基板装置の製造を行うことが可能となる。

【0117】一方、本実施形態におけるレチクル950は、図11(M)に示すように、レチクル950におい

24

て一般に見られる遮光部を構成すべく、例えばCr等により構成された遮光膜950bが形成されている。すなわち、本実施形態においては、レチクル950上の所定の部位において、薄膜950aと遮光膜950bとが積層された構造をとっている。

【0118】このようなことから、例えば、レジスト901において窓開けが必要でない部位においては、上記の薄膜950a及び遮光膜950bの積層構造をとるとともに、図11(M)の右方に示すように、端子6cとして露出させるべき開口部分43a(図2参照)を形成するため、レジスト901に対する窓開けが必要となる部位においては、薄膜950aのみが形成され、遮光膜950bが形成されないような形態とする、等によって、好適な露光工程を実施することができる。要するに、このようにすれば、光透過率をよりきめ細かに設定することが可能となり、正確な露光工程の実施に資することになる。

【0119】また、このような構成に加えて、薄膜950a自体を相異なる複数の材料から構成された積層構造を有するものとしてもよい。この場合においては、よりきめ細かに光透過率の制御が行えることとなるのは言うまでもない。

【0120】なお、より具体的な露光条件としては、例えば、露光光源を発する光について、光波長365nmのi線等とし、本実施形態に係るレチクル950における、薄膜950aが形成されていない部分では光透過率を約100%、薄膜950aのみが形成されている部分では光透過率を概ね50%~85%程度とするとよい。この場合、更に具体的に、露光光源を発する光のエネルギーを約2200J/m²とすれば、薄膜950aが形成されていない部位直下ではエネルギーが約2200J/m²による露光が、薄膜950aのみが形成されている部位直下では約1600J/m²による露光が、それぞれ実施される等とするとよい。

【0121】このように、本実施形態では、上述した構成となるレチクル950を利用して、レジスト901の露光工程を実施することから、切断用孔880の底部、すなわち短絡用配線3b上のレジスト901に対しても十分な露光を行うことが可能となるとともに、第3層間絶縁膜43上に存在するレジスト901に対しては、過剰な露光が行われず、ハレーション等の発生する可能性を低減することが可能となる。その結果、図11(N)に示すように、切断用孔880の底部におけるレジスト901は、その現像及び除去がほぼ完全に行われるとともに、第3層間絶縁膜43上においてはレジスト901が残存する形態が好適に現出される。加えて、レチクル950において薄膜950aのみが存在する領域を作り出すことにより、端子6cを露出させるための開口部分43a形成に係るレチクル901の窓開け等も、これを確実に実施することができる。

(14)

25

【0122】なお、上記において、静電気対策配線部におけるレジスト901に対する露光、すなわち切断用孔880が存在する位置における窓開けを実施する場合においては、最終的には、当該窓開け部分が、切断用孔880の開口部よりも大きくなるようにすることが好ましい。また、これに関連して、切断用孔880においては、その上端開口の寸法が下端寸法よりも広くなるように、予め形成しておくことが望ましい（いずれについても、図11（N）参照）。後者の要求を満たすためには、ウェットエッチングによるのが最適な方法の一つである。

【0123】以上のような工程を経たら、レジスト901を介してエッチングを行い、図11（O）に示すように、端子部において端子6cを開口部分43aから露出させる。併せて、静電気対策配線部の側では短絡用配線3bを切断し、この切断部19によって各配線が分離される。

【0124】このように製造工程の最終工程で短絡用配線3bを切断するので、それ以前の多くの工程で発生する静電気が、基板上に形成された各種回路素子に悪影響を与えることを未然に防止することが可能となる。

【0125】このようにしてアクティブマトリクス基板AMの製造は概ね完了するが、該基板AMは、図7及び図8に示したように、マザー基板MM上に一斉に、ないし複数同時に形成することが可能である。このような場合においては、上述の第1～第3短絡用配線91～93と、基板装置間短絡用配線99とが電気的に接続されるような状態を作り出す。具体的には、当該各短絡用配線91～93の形成の際（すなわち、走査線3aの形成の際）、これと同時に基板装置間短絡用配線99を形成することにより、あるいは場合によっては、両者間を繋ぐコンタクトホールを別途形成すること等により、電気的接続を図るようにするとよい。

【0126】この基板装置間短絡用配線99の存在によれば、基板上に発生した電荷等は、該基板の外周へと導かれることになるから、基板上のTFTその他の回路素子が静電破壊するおそれは、より一層低減されることになる。

【0127】以上説明したように、本実施形態によれば、まず、走査線3a、データ線6a並びにデータ線駆動回路101及び走査線駆動回路104に接続される信号配線72及び73の各々に関して、第1～第3短絡用配線91～93が存在した状態で、アクティブマトリクス基板製造に係る殆どの工程が行われることになるから、静電気が発生したり、基板表面に電荷が蓄積されても、かかる電荷を該第1～第3短絡用配線91～93を介して拡散させることが可能となる。したがって、過剰な電流が走査線3a、データ線6a並びにデータ線駆動回路101及びデータ線駆動回路104に突発的に流れるようなことがなく、それ故、本実施形態に係るアクテ

26

ィブマトリクス基板AM上に形成されるTFT30等その他の各種回路素子が、静電破壊することなどを有効に防止することができる。

【0128】とりわけ本実施形態においては、上記第1～第3短絡用配線91～93を切断するため形成された切断用孔880に対向する位置において一の光透過率を有し、該切断用孔880に対向しない位置において前記一の光透過率よりも低い他の光透過率を有するレチクル950を用いてレジスト901の露光を実施することで、比較的深さの大きい切断用孔880の底部に塗布されたレジスト901を効果的に現像・除去することが可能となるとともに、第3層間絶縁膜43上のレジストに対しては過大な露光が実施されない点が特筆できる。すなわち、このようなレチクル950の使用、ないし該レチクル950を用いた露光を実施することにより、第1～第3短絡用配線91～93の切断は、これを確実に実施することができ、後に無用な短絡事故を招くようなことが殆どなくなるのである。

【0129】また、本実施形態においては、TFT30の形成工程、各種配線の形成工程、あるいは各端子800、801、802…の形成工程等において、第1～第3短絡用配線91～93の形成、及び切断用孔880の形成、並びに該孔880を利用した各短絡用配線91～93の切断に係る工程を、同時に実施することから、その相応分、製造コストを削減することが可能である。

【0130】（電気光学装置及び電気光学装置の製造方法）以下では、上述のように製造されるアクティブマトリクス基板AMを、電気光学装置を構成する一対の基板の一方として用いる場合における、当該電気光学装置及びその製造方法について説明する。

【0131】まず、電気光学装置の構造について、図12及び図13を参照して説明する。なお、図12は、TFTアレイ基板をその上に形成された各構成要素とともに対向基板20の側からみた平面図であり、図13は図12のH-H'断面図である。

【0132】図12及び図13において、本実施形態に係る電気光学装置では、TFTアレイ基板10と対向基板20とが対向配置されているとともに、これらの基板10及び20間には液晶層50が封入され、かつ、両基板10及び20は画像表示領域10aの周囲に位置するシール領域に設けられたシール材52により相互に接着されている。なお、シール材52は、両基板を貼り合わせるため、例えば紫外線硬化樹脂、熱硬化樹脂等からなり、紫外線、加熱等により硬化させられたものである。

【0133】また、このシール材52中には、本実施形態における液晶装置がプロジェクタ用途のように小型で拡大表示を行う液晶装置であれば、両基板間の距離（基板間ギャップ）を所定値とするためのガラスファイバ、あるいはガラスビーズ等のギャップ材（スペーサ）が散布されている。あるいは、当該液晶装置が液晶ディスプレイ

(15)

27

レイや液晶テレビのように大型で等倍表示を行う液晶装置であれば、このようなギャップ材は、液晶層50中に含まれてよい。

【0134】さらに、TFTアレイ基板10の上には、前記シール材52の内側に並行して、画像表示領域10aの周辺を規定する額縁としての遮光膜53が、対向基板20側に設けられている。ただし、このような額縁遮光膜53の一部又は全部は、TFTアレイ基板10側に内臓遮光膜として設けられていてもよい。

【0135】シール材52の外側の領域には、図1を参照した説明において既に言及した、データ線6aに画像信号を所定のタイミングで供給することにより該データ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定のタイミングで供給することにより、走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する二辺に沿って設けられている。さらに、TFTアレイ基板10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナ部の少なくとも一箇所においては、TFTアレイ基板10と対向基板20との間で電氣的に導通をとるための導通材106が設けられている。

【0136】一方、図13において、TFTアレイ基板10上には、画素スイッチング用のTFTや走査線、データ線等の配線が形成された後の画素電極9a上に、配向膜が形成されている。他方、対向基板20上には、対向電極21のほか、最上層部分に配向膜が形成されている。また、液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなり、これら一対の配向膜間で、所定の配向状態をとる。

【0137】なお、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0138】このような電気光学装置は、例えば図14のフローチャートに示すような工程を経て製造することができる。なお、ここでは、上記アクティブマトリクス基板AMが、上述したように、マザー基板MM上に複数形成される形態を基本として説明することとする。

【0139】まず、図9乃至図11を参照して説明した各工程を経て、マザー基板MM上における個々のアクティブマトリクス基板AMの製造を完了させる。(ステップS11)。なお、上述の製造方法においては触れなかったが、画素電極9a上には、ポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角をもつよう

28

に、かつ所定方向でラビング処理を施すこと等により、配向膜16を形成しておく(図6等参照)。

【0140】他方、上記のアクティブマトリクス基板AMの製造と並行して、別のマザー基板上に、対向基板を複数形成する。具体的には、まず、マザー基板としてガラス基板等が用意され(ステップS51)、額縁としての遮光膜が、例えば金属クロムをスパッタした後、フォトリソグラフィ及びエッチングを経て形成される(ステップS52)。なお、これらの遮光膜は、導電性である必要はなく、Cr、Ni、Al等の金属材料のほか、カーボンやTiをフォトレジストに分散した樹脂ブラック等の材料から形成してもよい。その後、対向基板の全面にスパッタ処理等により、ITO等の透明導電性膜を、約50~200nmの厚さに堆積することにより、対向電極を形成する(ステップS53)。さらに、対向電極の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角をもつように、かつ所定方向でラビング処理を施すこと等により、配向膜22が形成される(ステップS54)。

【0141】このように、マザー基板MM上に複数のアクティブマトリクス基板AMが、別のマザー基板上に複数の対向基板が、それぞれ形成されたら、次に、これらをシール材を介して貼り合わせる(ステップS81)。続いて、これらアクティブマトリクス基板AM及び対向基板に挟まれた空間に、真空吸引等によって、例えば複数種のネマティック液晶を混合してなる液晶等の電気光学物質を封入する(ステップS82)。最後に、両マザー基板が張り合わされた状態で、これらを切断線に沿って分離し(ステップS83)、電気光学装置の完成をみる。

【0142】なお、この分離工程によって、上記基板装置間短絡用配線99も同時に分断されることになるから、上述のように製造される電気光学装置における動作が、該基板装置間短絡用配線99によって妨害されるおそれがない。

【0143】本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨、あるいは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う素子基板装置の製造方法及び電気光学装置の製造方法、並びにレチクルもまた、本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】 本発明の実施形態に係るアクティブマトリクス基板の全体構成を模式的に示すブロック図である。

【図2】 図1に示す端子、該端子に対応するように層間絶縁膜に対して形成される開口部分及び該端子と図1に示す短絡用配線との電氣的な接続を図るため層間絶縁膜に対して形成されるコンタクトホールとを示す平面図である。

【図3】 図1に示す静電保護回路の詳細な構成を示す

(16)

29

ブロック図である。

【図4】 図1に示す信号配線と第1短絡用配線との配置態様の詳細を示す平面図である。

【図5】 データ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。

【図6】 図5のA-A'断面図である。

【図7】 図1に示すアクティブマトリクス基板をマザー基板に配列形成した様子を示す平面図である。

【図8】 図1に示すマザー基板における領域Aを拡大して示す平面図である。

【図9】 図1に示すアクティブマトリクス基板の製造方法を示す工程断面図(その1)である。

【図10】 図1に示すアクティブマトリクス基板の製造方法を示す工程断面図(その2)である。

【図11】 図1に示すアクティブマトリクス基板の製造方法を示す工程断面図(その3)である。

【図12】 TFTアレ基板をその上に形成された各構成要素とともに対向基板の側からみた平面図である。

【図13】 図12のH-H'断面図である。

【図14】 電気光学装置の製造方法を、その工程順に沿って示すフローチャートである。

【符号の説明】

3 a…走査線

30

6 a…データ線

10…TFTアレ基板

20…対向基板

30…TFT

41、42、43…層間絶縁膜

50…液晶層

70…蓄積容量

72、73…信号配線

81、82、83、85、89、403…コンタクトホール

91、92、93、3 b…第1～第3短絡用配線

99…基板装置間短絡用配線

101…データ線駆動回路

102…外部回路接続端子

104…走査線駆動回路

800、801、802…端子

880…切断用孔

901…レジスト

950…レチクル

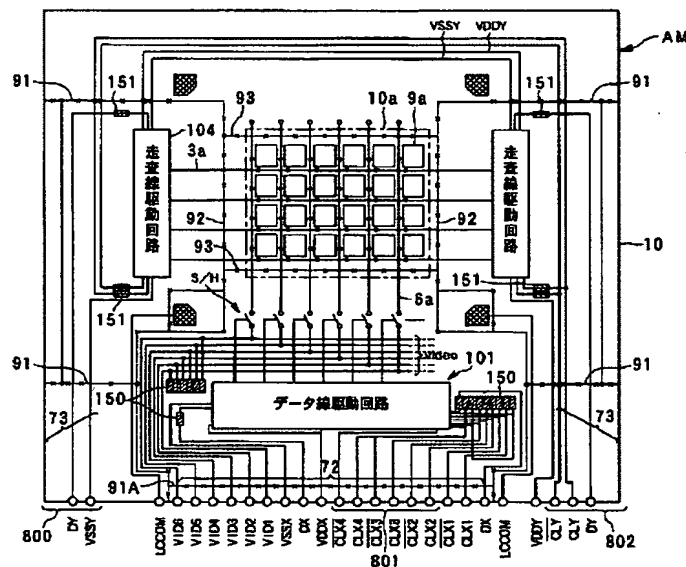
950 a…薄膜

950 b…遮光膜

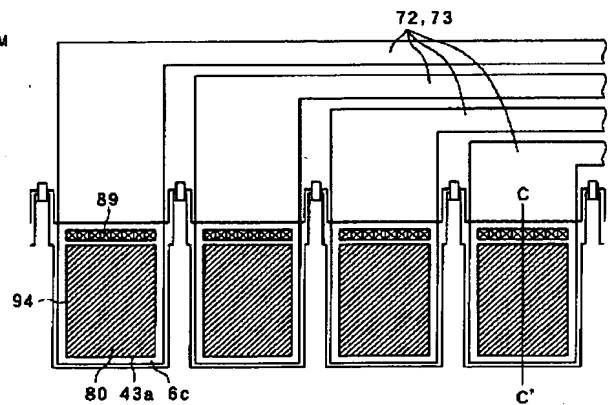
AM…アクティブマトリクス基板

MM…マザー基板

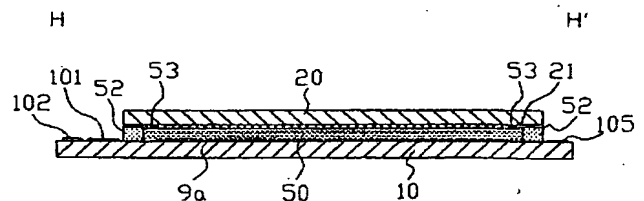
【図1】



【図2】

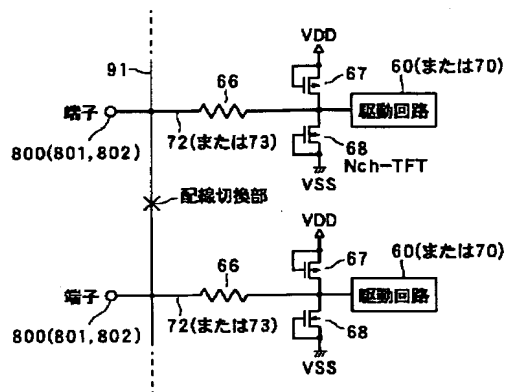


【図13】

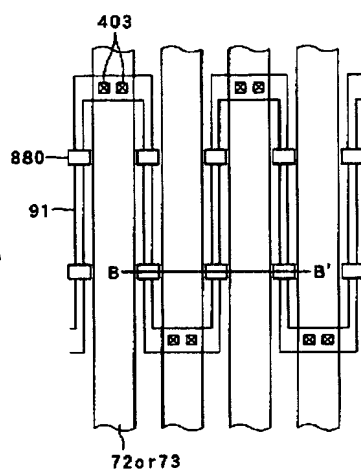


(17)

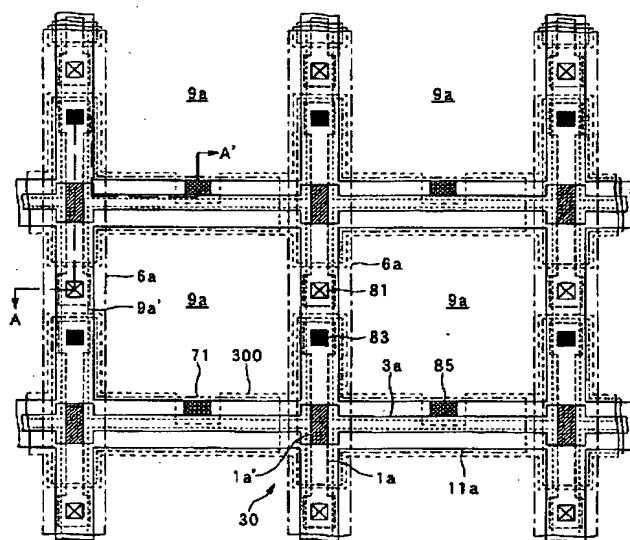
【図 3】



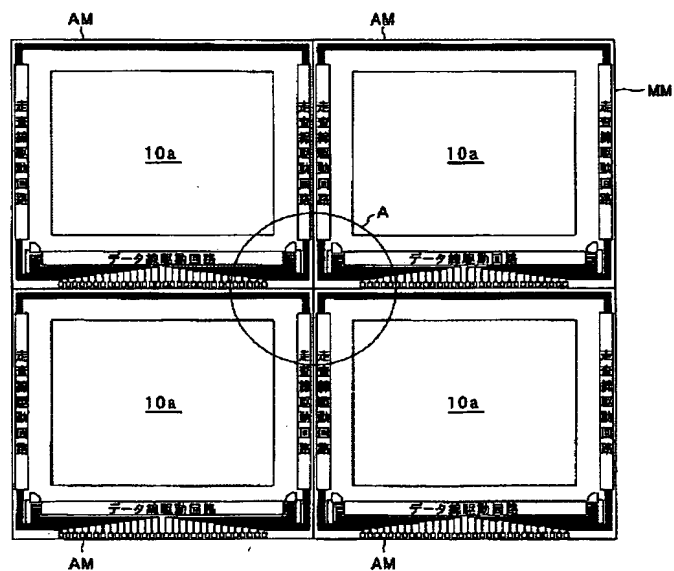
【図 4】



【図5】

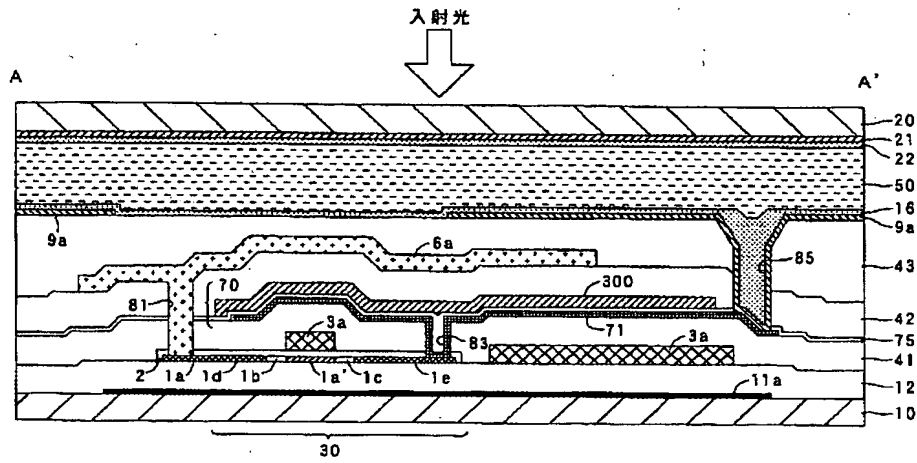


【图 7】

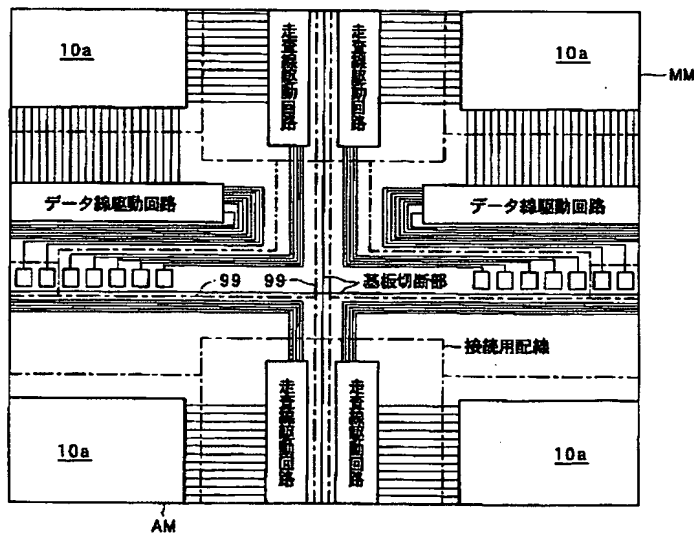


(18)

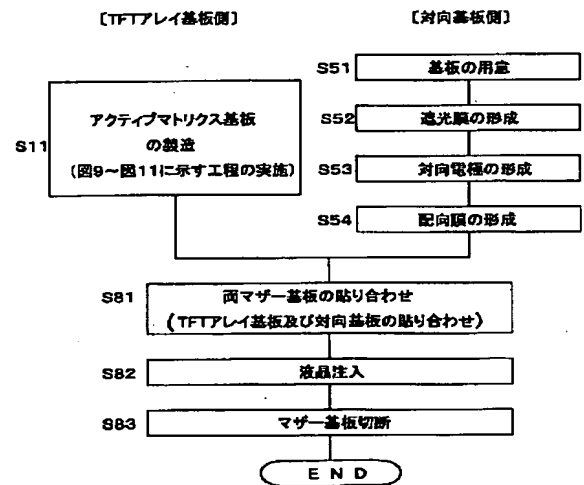
【図6】



【図8】

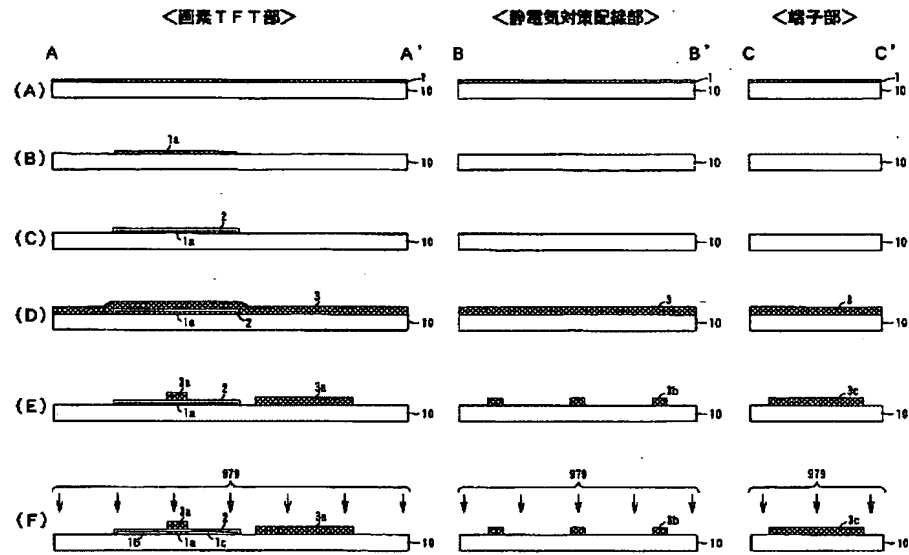


【図14】

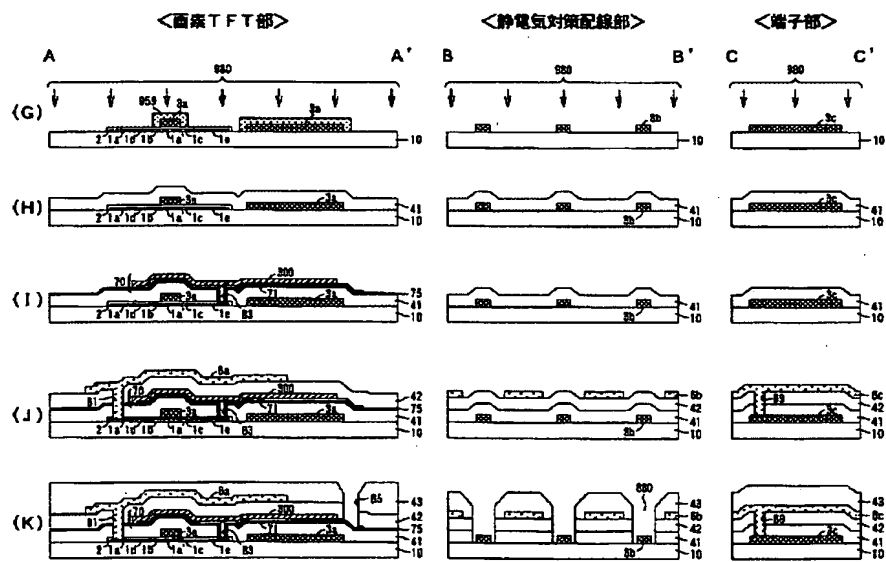


(19)

【図9】

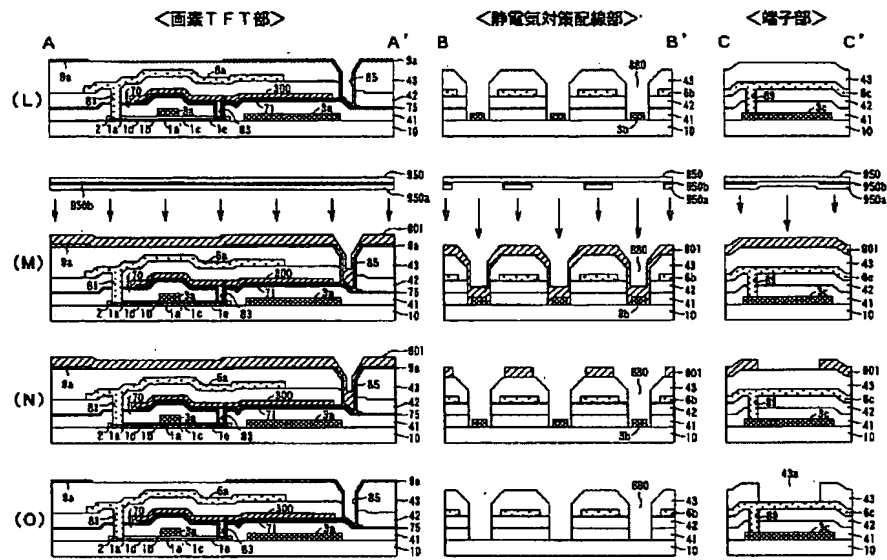


【図10】

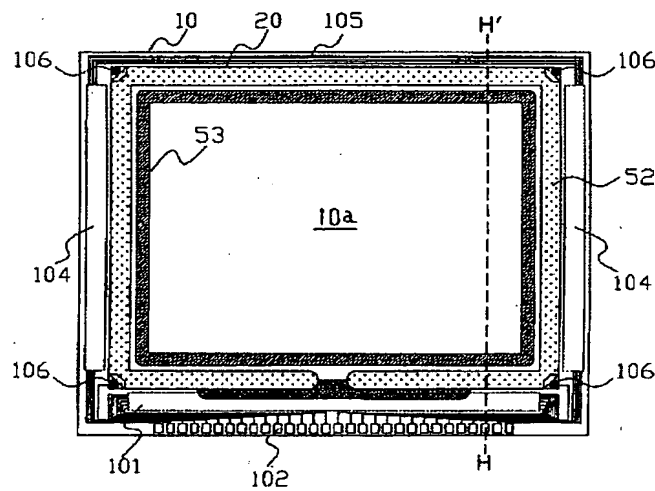


(20)

【図11】



【図12】



フロントページの続き

(51) Int. Cl. 7

G 0 9 F 9/00
 9/30
 H 0 1 L 21/027
 29/786

識別記号

3 3 8
 3 3 8

F I

G 0 9 F 9/00
 9/30
 H 0 1 L 29/78
 21/30

テーマコード(参考)

3 3 8 5 F 1 1 0
 3 3 8 5 G 4 3 5
 6 1 2 C
 6 2 3 A
 5 0 2 R

(21)

Fターム(参考) 2H088 FA00 FA24 FA28 HA01 HA02
HA05 HA06 HA08 MA03 MA20
2H092 GA14 GA64 HA11 JA24 JB22
JB31 JB79 MA13 MA17 NA14
PA01 PA06
2H095 BA12 BB02 BC04 BC24
2H097 GB00 LA10
5C094 AA42 AA43 AA46 AA48 BA03
BA43 CA19 DA09 DA13 DA15
DB01 DB04 DB10 EA04 EA05
EB02 FA01 FA02 FB01 FB12
FB15 GB10
5F110 AA22 BB02 BB04 CC02 DD02
DD03 EE09 EE28 EE37 FF02
FF03 FF09 FF23 FF29 GG02
GG13 GG25 GG47 HJ01 HJ04
HJ13 HJ23 HL02 HL03 HL05
HL06 HL23 HM14 HM15 NN03
NN04 NN22 NN23 NN24 NN35
NN72 NN73 PP01 PP10 PP33
QQ11
5G435 AA17 BB12 CC09 EE37 HH12
HH14 KK05 KK10